

На правах рукописи

СОВЕТОВ СТАНИСЛАВ ИГОРЕВИЧ

**ЛОГИЧЕСКИЕ ЭЛЕМЕНТЫ ПЛИС FPGA, РЕАЛИЗУЮЩИЕ
НЕСКОЛЬКО ФУНКЦИЙ ОДНОВРЕМЕННО**

2.3.2. Вычислительные системы и их элементы

АВТОРЕФЕРАТ
диссертации на соискание ученой степени
кандидата технических наук

Пермь 2024

Диссертационная работа выполнена в федеральном государственном автономном образовательном учреждении высшего образования «Пермский национальный исследовательский политехнический университет».

Научный руководитель: **Тюрин Сергей Феофентович**
доктор технических наук, профессор

Официальные оппоненты: **Бобков Сергей Геннадьевич**
доктор технических наук, старший научный сотрудник, ООО «Конструкторское бюро «Компьютерные технологии и системы», генеральный директор

Лесников Владислав Алексеевич
кандидат технических наук, доцент, ФГБОУ ВО «Вятский государственный университет», кафедра «Радиоэлектронные средства», доцент

Ведущее предприятие: Федеральное государственное бюджетное образовательное учреждение высшего образования «Воронежский государственный технический университет» (г. Воронеж)

Защита состоится «20» декабря 2024 г. в 14.00 часов на заседании диссертационного совета Пермского национального исследовательского политехнического университета Д ПНИПУ.05.14, по адресу: 614990, г. Пермь, Комсомольский проспект, д. 29, ауд. 345.

С диссертацией можно ознакомиться в библиотеке и на сайте ФГАОУ ВО «Пермский национальный исследовательский политехнический университет» (<http://pstu.ru>).

Автореферат разослан «25» октября 2024 г.

Ученый секретарь
диссертационного совета Д ПНИПУ.05.14,
доктор технических наук, доцент

Фрейман Владимир Исаакович

ОБЩАЯ ХАРАКТЕРИСТИКА РАБОТЫ

Актуальность темы исследования. В настоящее время наблюдается рост использования программируемой логики в вычислительных системах цифровой аппаратуры. Первыми устройствами программируемой логики были ПЛИМ (программируемые логические матрицы, PLA – Programmable Logic Array), в которых логические функции вычисляются в дизъюнктивной нормальной форме (ДНФ). Современные программируемые логические интегральные схемы (ПЛИС) существуют в двух основных вариантах: CPLD (Complex Programmable Logic Device), в которых логические функции также вычисляются в ДНФ и FPGA (Field-Programmable Gate Array), в них вычисление логических функций реализуется в совершенной дизъюнктивной нормальной форме (СДНФ). В FPGA имеются базовые логические устройства BLE (Basic Logic Element) или конфигурируемые логические блоки CLB (Configurable Logic Block), которые состоят из логических элементов, называемые «таблицами просмотра» или «таблицами истинности» – LUT (Look Up Table). LUT представляют собой мультиплексоры из деревьев передающих транзисторов (Pass Transistors), настраиваемые конфигурационной памятью на реализацию заданной функции. Количество логических элементов в современных ПЛИС постоянно растет и на данный момент у передовых производителей составляет порядка десятка миллионов. При этом растет и количество используемых переменных в одном LUT, в начале это было три – четыре, теперь шесть – семь, причем наблюдаются тенденции к их дальнейшему росту. Так в некоторых ПЛИС реализуются пока не все возможные логические функции уже и восьми переменных. Однако, с другой стороны, существующие функциональные возможности используются не в полной мере, один LUT реализует при данной конфигурации только одну логическую функцию.

Анализ показал, что современные методы синтеза позволяют получить новые логические элементы с большим количеством входов, однако, не полностью учитывают функциональные возможности имеющихся логических элементов. Для ряда задач в том числе критического применения (в бортовых цифровых вычислительных комплексах и в военной технике) имеющихся возможностей все равно недостаточно.

Таким образом, актуальным является проведение исследований по разработке моделей и методов синтеза логических элементов ПЛИС FPGA, обеспечивающих повышение их функциональных возможностей, особенно в связи с необходимостью разработки отечественной электронной элементной базы.

Степень разработанности темы исследования. Вопросы синтеза логических элементов, в том числе универсальных, которые настраиваются на реализацию заданной функции, рассматривались ранее в работах отечественных авторов Евреинова Э.В., Косарева Ю.Г., Прангишвили И.В., Балашова Е.П., Пузанкова Д.В., Викентьева Л.Ф., Аляева Ю.А., Шальто А.А., Несмелова В.А. и др. еще до разработки первых LUT FPGA.

Логические элементы LUT FPGA исследовались в работах Строганова А.В., Цыбина М.В., однако, вопросы реализации нескольких функций при одной настройке рассмотрены не были. В работах Денисова А.Н. рассматриваются

логические элементы базовых матричных кристаллов, настраиваемых только в заводских условиях. В работах зарубежных авторов Берски Д., Shubham R., Monther A., Yervant Z., Mehta N., Харченко В.С., Дрозда А.В., Хаханова В.И., Zhong Chen, Liang Kong, Tomoaki Sato, Jason Cong вопросы синтеза многофункциональных элементов LUT не рассматривались. В работах Alireza Kaviani, Stephen Brown, Chi Wai, Yu предлагалась гибридная ПЛИС, комбинирующая ПЛИМ CPLD и LUT FPGA. Задачи повышения надежности логических элементов решались в работах Городилова А.Ю., Каменских А.Н. Создание самосинхронных логических элементов ПЛИС исследовались в работах Скорняковой А.Ю. Однако задача реализации нескольких функций одновременно в одном LUT в этих работах не рассматривалась. Синтез многофункциональных элементов LUT в работах Прохорова А.С. рассмотрен не в полной мере. Реализация дешифрации набора переменных для реализации систем функций (DC LUT – работы Вихорева Р.В., Тюрина С.Ф.) характеризуется высокой сложностью, поэтому целесообразно ее уменьшить.

Объектом исследования является логический элемент LUT (Look Up Table) ПЛИС FPGA.

Предметом исследования является научно–методический аппарат синтеза логических элементов в ПЛИС.

Цель исследования заключается в решении задачи разработки научно–методического аппарата для синтеза логических элементов LUT, в которых одновременно вычисляется несколько логических функций.

Декомпозиция научной задачи позволяет выделить следующие частные **задачи исследования:**

1) аналитический обзор, анализ, сравнение существующих моделей, методов и алгоритмов синтеза логических элементов ПЛИС;

2) разработка моделей, реализующих вычисление нескольких функций одновременно и дешифрацию набора переменных вместе с вычислением основной функции;

3) разработка метода синтеза многофункционального логического элемента, реализующего одновременное вычисление 2^v , $v = 1, 2, 3, \dots, n-1$ логических функций;

4) разработка метода синтеза логического элемента, реализующего вычисление основной логической функции одновременно с дешифрацией набора переменных;

5) разработка алгоритмов подключения дополнительных транзисторов в логических элементах LUT, реализующего вычисление нескольких функций одновременно и дешифрацию набора переменных вместе с вычислением основной функции;

6) получение сравнительных оценок сложности по показателям количества транзисторов, площади, занимаемой на кристалле, потребляемой мощности и временной задержке предлагаемых и известных логических элементов LUT;

7) апробация и внедрение разработанных моделей, методов и алгоритмов, предлагаемых логических элементов, реализующих вычисление нескольких функций одновременно и дешифрацию набора переменных вместе с

вычислением основной функции в ФИЦ ИУ РАН и учебном процессе ФГАОУ ВО «ПНИПУ».

Новые научные результаты и положения, выносимые на защиту:

1) *модели* логических элементов LUT, отличающиеся тем, что обеспечивается одновременное вычисление несколько функций от одних и тех же переменных, а также вычисление основной логической функции совместно с дешифрацией набора переменных. Это позволяет увеличить количество реализуемых логических функций ПЛИС при одной и той же площади кристалла при уменьшении количества транзисторов (п. 2 «Разработка принципиально новых методов анализа и синтеза вычислительных систем и их элементов, с целью улучшения технических характеристик, включая новые процессорные элементы, сложно–функциональные блоки, системы и сети на кристалле, квантовые компьютеры» паспорта научной специальности 2.3.2);

2) *метод* синтеза многофункционального логического элемента LUT ПЛИС FPGA, который отличается от существующих тем, что синтезируется логический элемент, в котором одновременно вычисляется 2^v , $v = 1, 2, 3, \dots, n-1$ логических функций, что приводит к снижению аппаратных затрат от 15 %. (п. 2 «Разработка принципиально новых методов анализа и синтеза вычислительных систем и их элементов, с целью улучшения технических характеристик, включая новые процессорные элементы, сложно–функциональные блоки, системы и сети на кристалле, квантовые компьютеры» паспорта научной специальности 2.3.2);

3) *метод* синтеза логического элемента LUT ПЛИС FPGA, который отличается от существующего тем, что синтезируется логический элемент, выполняющий одновременное вычисление логической функции и дешифрацию набора переменных, что приводит к снижению аппаратных затрат от 15 %. (п. 2 «Разработка принципиально новых методов анализа и синтеза вычислительных систем и их элементов, с целью улучшения технических характеристик, включая новые процессорные элементы, сложно–функциональные блоки, системы и сети на кристалле, квантовые компьютеры» паспорта научной специальности 2.3.2);

4) *алгоритмы* подключения дополнительных транзисторов в многофункциональном логическом элементе LUT, реализующего вычисление нескольких функций одновременно, и подключения дополнительных транзисторов, реализующих дешифрацию входного набора, отличающиеся тем, что позволяют синтезировать требуемый многофункциональный логический элемент и логический элемент с дешифрацией входного набора (п. 2 «Разработка принципиально новых методов анализа и синтеза вычислительных систем и их элементов, с целью улучшения технических характеристик, включая новые процессорные элементы, сложно–функциональные блоки, системы и сети на кристалле, квантовые компьютеры» паспорта научной специальности 2.3.2);

5) *оценки* сложности многофункционального логического элемента LUT, реализующие вычисление нескольких функций одновременно, и логического элемента LUT, реализующего одновременно вычисление логической функции и дешифрацию набора переменных, которые позволяют осуществить выбор наиболее эффективного варианта реализации логического элемента (п. 2 «Разработка принципиально новых методов анализа и синтеза вычислительных

систем и их элементов, с целью улучшения технических характеристик, включая новые процессорные элементы, сложно–функциональные блоки, системы и сети на кристалле, квантовые компьютеры» паспорта научной специальности 2.3.2).

Рекомендуется использование предлагаемых элементов при разработке ПЛИС для аппаратуры критического применения, в том числе бортовых цифровых комплексов военной техники.

Теоретическая значимость диссертационной работы состоит в том, что разработанные модели, методы, алгоритмы синтеза и оценки сложности логических элементов LUT расширяют научно–методический аппарат синтеза элементов программируемой логики, что позволяет синтезировать новые элементы, реализующие несколько функций одновременно.

Практическая значимость исследования заключается в том, что разработаны новые, запатентованные логические элементы, предложены схемы электрические принципиальные, топологии новых логических элементов, которые позволяют снизить аппаратные затраты в количестве транзисторов и площади кристалла более 15 % (акт внедрения ФИЦ ИУ РАН). Это позволяет расширить возможности существующих ПЛИС в том числе САПР для ПЛИС, которые будут учитывать новые возможности логики. Получены свидетельства о регистрации программ для ЭВМ, позволяющие синтезировать новые элементы.

Методология и методы исследования. В диссертационной работе используются методы и средства схемотехнического и топологического моделирования, анализа и синтеза схем, структурное программирование. Применяемые методы и средства основаны на положениях дискретной математики, математической логики, теории булевых функций и автоматов, комбинаторики, теории надежности, принципах МОП–схемотехники.

Достоверность и обоснованность результатов, полученных в диссертационной работе, заключаются в том, что они не противоречат теоретическим положениям, известным из научных публикаций отечественных и зарубежных исследователей, а также подтверждаются результатами, полученными в трех системах моделирования (Multisim, Microwind, Cadence Virtuoso), апробацией и внедрением предложенных в диссертации методов, моделей и алгоритмов подключения.

Апробация работы. Основные теоретические и практические результаты работы докладывались на научно–технических конференциях: «Инновационные технологии: теория, инструменты, практика» (InnoTech–2022), «2023 Seminar on Microelectronics, Dielectrics and Plasmas», 24th International Conference of Young Professionals in Electron Devices and Materials (EDM) (2023), «Автоматизированные системы управления и информационные технологии» (АСУИТ–2023), «Инновационные технологии: теория, инструменты, практика» (InnoTech–2023) и в других международных и региональных конференциях.

Работы по теме диссертационного исследования выполнялись в рамках договора о научно–техническом сотрудничестве с отделом 52 ФИЦ ИУ РАН.

Публикации. Основные результаты диссертационной работы опубликованы в 16 печатных работах, из них 6 публикаций в ведущих рецензируемых научных изданиях ВАК, 2 публикации в изданиях, индексированных в международных

базах цитирования Scopus, 3 патента на изобретение, 2 свидетельства о регистрации программ для ЭВМ.

Объем и структура работы. Диссертация состоит из введения, пяти глав, заключения, списка литературы из 101 наименования и 3 приложений. Полный объем диссертации составляет 189 страниц, из которых 145 страниц занимает основной текст диссертации, включающий 116 рисунков и 13 таблиц.

ОСНОВНОЕ СОДЕРЖАНИЕ РАБОТЫ

Во **введении** обоснована актуальность темы диссертации, сформулированы цели и задачи диссертационной работы, раскрыта научная новизна и практическая значимость полученных результатов, сформулированы научные положения, выносимые на защиту.

В **первой главе** приводится обзор существующих методов реализации логических функций в существующих интегральных схемах программируемой логики. Проводится анализ логических элементов ПЛИС – таблиц поиска (LUT). Исследуются методы синтеза логических элементов ПЛИС. Осуществляется постановка научной задачи и декомпозиция на частные задачи исследования.

Реализация логических функций в ПЛИС типа FPGA в LUT основана на вычислении значения одной функции z от n аргументов x_i , заданной в совершенной дизъюнктивной нормальной форме (СДНФ):

$$z(d_0 \dots d_{2^n-1} x_n \dots x_1) = \bigvee_{j=0}^{2^n-1} (\& x_i^{\sigma(i,j)} d_j), \quad (1)$$

где $\sigma(i,j)$ – показатель инверсирования соответствующей СДНФ, равный $1 - B[i(j)]$, где $B[i(j)]$ – бинарное представление i – го разряда числа j ; $d_j \in \{0,1\}$ – конфигурационный бит, значение функции в соответствующей строке таблицы истинности функции z , которое записывается в оперативную память.

Постановка научной задачи исследования формулируется следующим образом:

Дано: Существующие модели логических элементов (LUT), реализующие функции от n входных переменных:

$z_0(d_0 \dots d_{2^n-1} x_n \dots x_1)$ – известная модель LUT (1);

$z_{1,2}(d_{0,1} \dots d_{2^n-1,1} d_{0,2} \dots d_{2^n-1,2} x_n \dots x_1)$ – модель LUT, вычисляющая две функции;

$z_j = \& x_j^{\delta_{i,j}}$, $j = 0, 1, 2, \dots, 2^n - 1$ – известная модель логического элемента DC

LUT, вычисляющего функции дешифрации входного набора для реализации систем функций.

Требуется:

1) разработать модель и метод реализации в одном n – LUT нескольких функций z одновременно

$$z_{0 \dots 2^v-1}; 1 < v \leq n - 1;$$

2) разработать модель и метод реализации в одном n – LUT логической функции и дешифрации набора переменных

$$z(d_0, d_1, d_2 \dots d_{2^n-1}, x_n \dots x_1), z_j;$$

3) разработать функциональные и принципиальные электрические схемы, выполнить схемотехническое и топологическое моделирование, получить оценки сложности по показателям $Q_i, i = 1 \dots 4$:

– количества транзисторов: $L_{mf}(n)$ – предлагаемого многофункционального элемента $z_{0 \dots 2^v-1}$, $L_{DC}(n)$ – предлагаемого элемента для дешифрации $z(d_0, d_1, d_2 \dots d_{2^n-1}, x_n \dots x_1), z_j$;

– площади, занимаемой на кристалле: $S_{mf}(n)$ – предлагаемого многофункционального элемента, $S_{DC}(n)$ – предлагаемого элемента для дешифрации;

– потребляемой мощности: $W_{mf}(n)$ – предлагаемого многофункционального элемента, $W_{DC}(n)$ – предлагаемого элемента для дешифрации;

– временной задержки: $T_{mf}(n)$ – предлагаемого многофункционального элемента, $T_{DC}(n)$ – предлагаемого элемента для дешифрации;

4) выбрать варианты, имеющие показатели:

$$L_{mf} < 2^v \cdot L_0, L_{DC} < 2^n \cdot L_0, \quad (2)$$

L_0 – количество транзисторов известного логического элемента (z_0),

$$S_{mf} < 2^v \cdot S_0, S_{DC} < 2^n \cdot S_0, \quad (3)$$

S_0 – площадь кристалла известного логического элемента (z_0);

5) получить: а) множество Парето–оптимальных вариантов блока логических элементов, реализующего g функций; б) множество Парето блоков элементов, обеспечивающих одновременное вычисление логической функции и дешифрацию набора переменных;

б) выбрать требуемый вариант при заданных ограничениях $W_{\text{допустимое}}, T_{\text{допустимое}}$.

Во **второй главе** разрабатываются модель и метод синтеза многофункционального логического элемента n – LUT, реализующего одновременно 2^v функций от одних и тех же n переменных, а также соответствующий алгоритм.

Известная модель (1) реализуется либо параллельным соединением 2^n цепочек из n передающих транзисторов (одноуровневым 2^n деревом, с 2^n ветвей по n транзисторов), ($\vee \bullet$) – корень дерева, реализующий операцию монтажного ИЛИ (wired OR) либо, с целью уменьшения количества транзисторов, n –уровневым бинарным деревом транзисторов (4):

$$z(d_0 \dots d_{2^n-1} x_n \dots x_1) = \left. \begin{array}{l} \overline{d_0 x_1} \\ \overline{d_1 x_1} \\ \cdot \\ \overline{x_{n-1}} \\ \dots \\ \overline{x_{n-1}} \overline{x_n} \\ \cdot \\ \overline{x_{n-1}} \overline{x_n} \\ \overline{d_{2^n-2} x_1} \quad \overline{x_{n-1}} \\ \overline{d_{2^n-1} x_1} \end{array} \right\} (\vee \bullet). \quad (4)$$

Предлагается дальнейшая модификация модели (4) с целью реализации сразу нескольких функций за счет использования нескольких 2^ν , $\nu = 1, 2, 3, \dots, n-1$ неактивных поддеревьев (5):

$$z_{0 \dots 2^\nu-1}(d_{0.1} \dots d_{2^n-1.1} \dots d_{0.2^\nu} \dots d_{2^n-1.2^\nu} x_n \dots x_1) = \frac{\overline{D_{v,0} \overline{X_{v,0} x_1}}}{\overline{D_{v,1} \overline{X_{v,1} x_1}}} \cdot \frac{\overline{x_{n-v}}}{\overline{x_{n-v}}} \frac{\overline{X_{v,0}(\bullet z_0)}}{\overline{X_{v,1}(\bullet z_1)}}, \quad (5)$$

$$\frac{\overline{D_{v,2^{n-1}-2} \overline{x_1}}}{\overline{D_{v,2^{n-1}-1} \overline{X_{v,1} x_1}}} \frac{\overline{x_{n-v}}}{\overline{X_{v,2^\nu-2}(\bullet z_{2^\nu-2})}} \frac{\overline{x_{n-v}}}{\overline{X_{v,2^\nu-1}(\bullet z_{2^\nu-1})}}$$

где $D_{v,i}, i = 1 \dots 2^\nu - 1$ – дополнительные настройки по вектору переменных $\overline{X_{v,i}}$ с соответствующими поддеревьями. Таким образом, в общем случае используется не одна старшая переменная, а вектор $\overline{X_{v,j}}, j = 0 \dots 2^\nu - 1$ части ν старших переменных.

Разработан метод синтеза реализации в n – LUT одновременно 2^ν функций, который предполагает выполнение следующих этапов:

- 1) задание параметров n , ν и варианта набора базовых блоков;
- 2) синтез логического элемента n переменных из базовых блоков с определением корней поддеревьев;
- 3) определение номеров дополнительных конфигурационных входов (правило 1):

$$N_z = (N_{in} + N_i) \bmod 2^n, i \in B, \quad (6)$$

$$B = \{ \{2^{n-1}\}, \{2^{n-2}\}, \dots, \{2^{n-\nu}\}, \dots, \{2^{n-1} + 2^{n-2} + \dots + 2^{n-\nu}\} \};$$

- 4) определение номеров корней поддеревьев для подключения дополнительных мультиплексоров (правило 2):

$$N_{z.LUT} = (N_{in.LUT} + N_{add.v-LUT}) \bmod (2^\nu - 1); \quad (7)$$

5) проверка корректности путей одновременной реализации функций.

В соответствии с предложенным методом синтеза и алгоритмом подключения дополнительных транзисторов разработана схема электрическая функциональная LUT с вычислением 2^v функций ($v=1..n-1$):

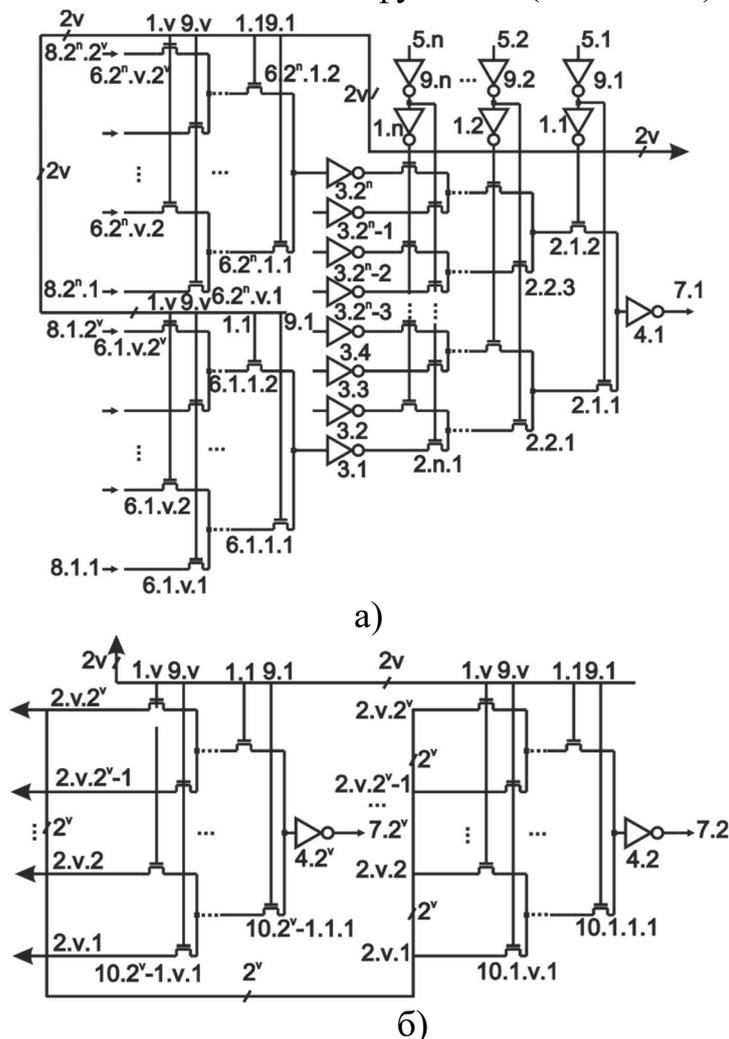


Рисунок 1 – Схема электрическая функциональная LUT, реализующего одновременно 2^v функций от одних и тех же n переменных а) основное дерево LUT с транзисторами настройки; б) дополнительные деревья LUT, реализующие многофункциональность

В **третьей** главе разработаны модели и метод синтеза n – LUT, реализующего логическую функцию и дешифрацию набора переменных, а также соответствующий алгоритм (n – LUT+DC).

С целью сокращения аппаратных затрат по сравнению с известной моделью логического элемента DC разработан адаптивный элемент (первая модель), который работает в двух режимах: вычисления одной заданной логической функции и дешифрации набора переменных. Вторая разработанная модель – одновременной реализации логической функции и дешифрации набора переменных использует неактивные ветви дерева. Однако, была установлена возможность одновременного вычисления значения заданной логической

функции и дешифрации набора переменных без использования неактивной половины дерева транзисторов.

Для $n=1$ предлагается:

$$\begin{aligned} \frac{(V_{cc})\bar{x}}{(Ground)x}(\vee\bullet)(NOT) &= z_0(x) \\ \frac{(V_{cc})x}{(Ground)x}(\vee\bullet)(NOT) &= z_1(x) \\ \frac{d_1(NOT)x}{d_0(NOT)x}(\vee\bullet)(NOT) &= z(d_0d_1x) \end{aligned} \quad (8)$$

Использование (8) позволяет получить третью модель реализации логической функции и дешифрации набора без использования неактивных ветвей дерева для n переменных:

$$\begin{aligned} z_0(x_n \dots x_1) &= \frac{[z_{2,0}(x_n x_{n-1} \dots x_2)]\bar{x}_1}{(Ground)x_1}(\vee\bullet)(NOT) \\ z_1(x_n \dots x_1) &= \frac{[z_{2,0}(x_n x_{n-1} \dots x_2)]x_1}{(Ground)x_1}(\vee\bullet)(NOT) \\ \frac{d_0 \bar{x}_1}{d_1 x_1}(\vee\bullet) & \\ \vdots & \\ \vdots & \\ \vdots & \dots \\ z_{n-1,0}(x_n x_{n-1}) &= \frac{[z_{n,0}(x_n)]\bar{x}_{n-1}}{(Ground)x_{n-1}}(\vee\bullet) \\ z_{n-1,1}(x_n x_{n-1}) &= \frac{[z_{n,0}(x_n)]x_{n-1}}{(Ground)x_{n-1}}(\vee\bullet) \\ \frac{x_{n-1}}{x_{n-1}}(\vee\bullet) & \\ \vdots & \\ \vdots & \\ \vdots & \dots \\ z_{n-1,0}(x_n x_{n-1}) &= \frac{[z_{n,1}(x_n)]\bar{x}_{n-1}}{(Ground)x_{n-1}}(\vee\bullet) \quad \frac{x_n}{x_n}(\vee\bullet)(NOT) = z(d_0 \dots d_{2^n-1} x_n \dots x_1) \\ z_{n-1,1}(x_n x_{n-1}) &= \frac{[z_{n,1}(x_n)]x_{n-1}}{(Ground)x_{n-1}}(\vee\bullet) \\ \frac{x_{n-1}}{x_{n-1}}(\vee\bullet) & \\ \vdots & \\ \vdots & \\ \vdots & \dots \\ z_0(x_n \dots x_1) &= \frac{[z_{2,1}(x_n x_{n-1} \dots x_2)]\bar{x}_n}{(Ground)x_n}(\vee\bullet)(NOT) \\ z_1(x_n \dots x_1) &= \frac{[z_{2,1}(x_n x_{n-1} \dots x_2)]x_n}{(Ground)x_n}(\vee\bullet)(NOT) \\ \frac{d_{2^n-2} \bar{x}_1}{d_{2^n-1} x_1}(\vee\bullet) & \end{aligned} \quad (9)$$

В корне основного дерева (старшая переменная n), реализующего логическую функцию $z(d_0 \dots d_{2^n-1} x_n \dots x_1)$ в СДНФ, указана операция монтажного ИЛИ $\vee\bullet$ и восстановитель сигнала NOT. При этом, когда переменная, либо ее инверсия истинны, соответствующий корень $\vee\bullet$ принимает значение логической единицы за счет подключения константы V_{cc} (напряжение источника питания). Если же переменная ложна, то соответствующий корень $\vee\bullet$ принимает значение логического нуля за счет подключения константы $Ground$.

Таким образом, ортогональность сигнала в так называемом обратном дереве (дереве дешифрации) на точках $\vee\bullet$ соблюдается (нет неопределенности логического уровня при дешифрации). Ортогональность в основном дереве обеспечивается, как и в известной модели, за счет СДНФ.

Предлагаемый метод синтеза элемента, одновременно реализующего логическую функцию и дешифрацию набора переменных, без использования неактивных ветвей дерева n – LUT* (звёздочка означает модификацию элемента в соответствии с выбранной моделью) включает следующие шаги:

- 1) задание параметра n ;
- 2) синтез n -LUT+DC из предлагаемого 1-LUT*;

- a) синтез 1–LUT*: подключить ко входам дешифрации первого 1–LUT* константы единицы (+ источника питания). Это корень дерева с дешифрацией;
- b) синтез 2–LUT*: подключить ко входам дешифрации второго и третьего элементов 1–LUT* соответствующие выходы дешифрации первого элемента 1–LUT*. Информационные входы первого 1–LUT* подключаются к выходам соответствующих второго и третьего элементов 1–LUT*;
- 3) выполнять указанные подключения до достижения уровня n дерева;
- 4) на уровне n дерева подключить конфигурационные константы ко входам 1–LUT*;
- 5) проверить корректность полученных номеров реализуемых конstituент дешифрации.

В соответствии с предложенным методом синтеза и алгоритмом подключения дополнительных транзисторов, реализующих дешифрацию входного набора разработана функциональная электрическая схема элемента логической функции и дешифрации набора без использования неактивных ветвей дерева элемент 3–LUT+DC (для $n=3$), показана на рисунке 2.

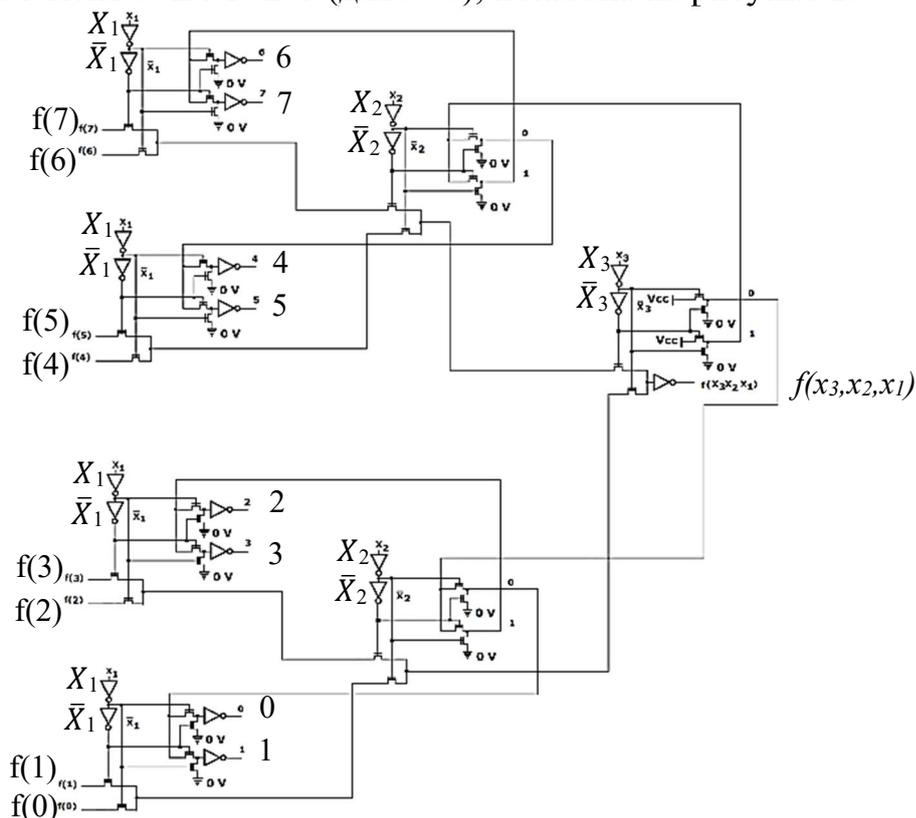


Рисунок 2 – 3–LUT+DC, построенный по третьей модели, $f(x_3, x_2, x_1)$ – основная функция; 0–7 – выходы дешифрации

В четвертой главе представлены результаты моделирования предложенных технических решений в системе схемотехнического моделирования NI Multisim фирмы National Instruments Electronics Workbench Group и в системе автоматизированного проектирования интегральных схем

половины дерева и соответствующие осциллограммы представлены на рисунке 5.

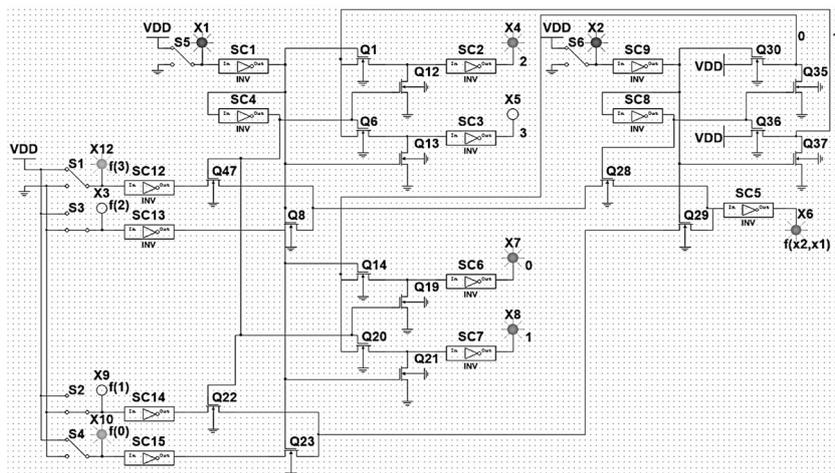


Рисунок 5 – 2-LUT+DC а) набор 00, выход функции 1, дешифрация 0; б) набор 11, выход функции 1, дешифрация 3 (Multisim)

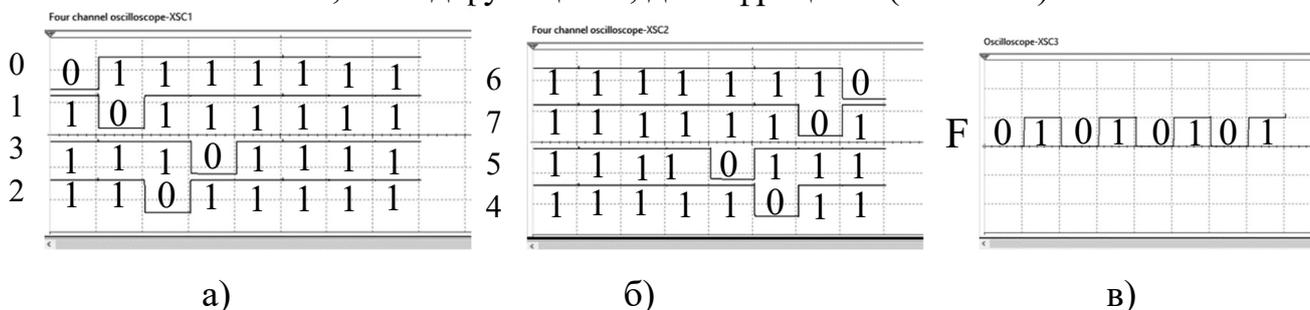


Рисунок 6 – Осциллограммы вычисления логической функции, исключающего ИЛИ (в) и одновременной дешифрации набора переменных набора 4–7 (б), набора 0–3 (а); Исходный код представлен в виде кода Грея (0,1,3,2,6,7,5,4)

Пример топологического моделирования показан на рисунке 7.

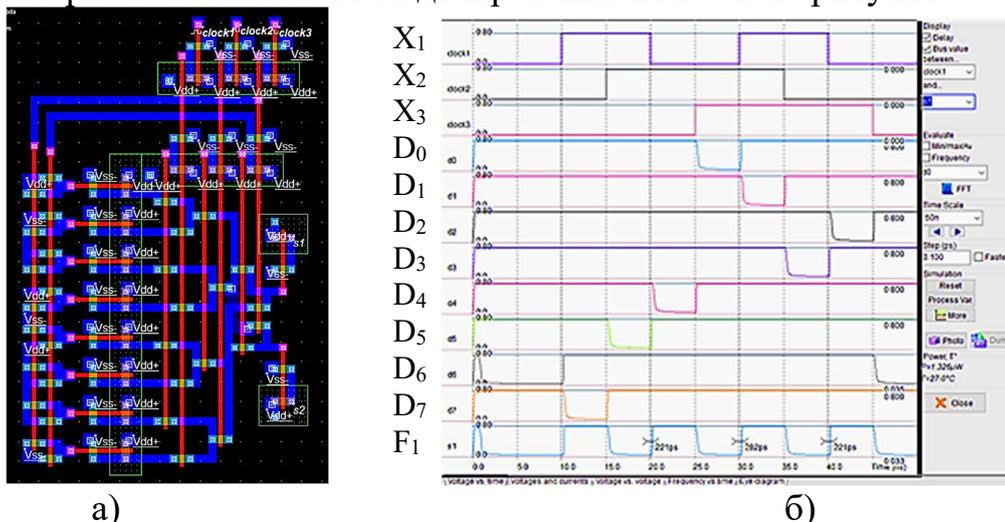


Рисунок 7 – Топологическое моделирование (Microwind): а) 3-LUT, реализующий две функции одновременно; б) Осциллограмма топологического моделирования логического элемента 3-LUT+DC, вычисляющего логическую функцию F_1 и дешифрацию набора переменных X_1, X_2, X_3 одновременно. D_0-D_7 – выходы дешифрации

Моделирование подтвердило работоспособность разработанных схем и позволило получить параметры их функционирования.

В **пятой главе** оценивается эффективность разработанных методов по сравнению с известными. Сложность предлагаемого многофункционального логического элемента в количестве транзисторов оценивается как:

$$L_2(v, n) = (2^v + 1) \cdot 2^{n+1} + 2n + 2^{v+1} \cdot (2^v - 1) \quad (10)$$

Сложность 2^v известных логических элементов больше, чем предлагаемого многофункционального, пример для $n=8$ представлен на рисунке 8.

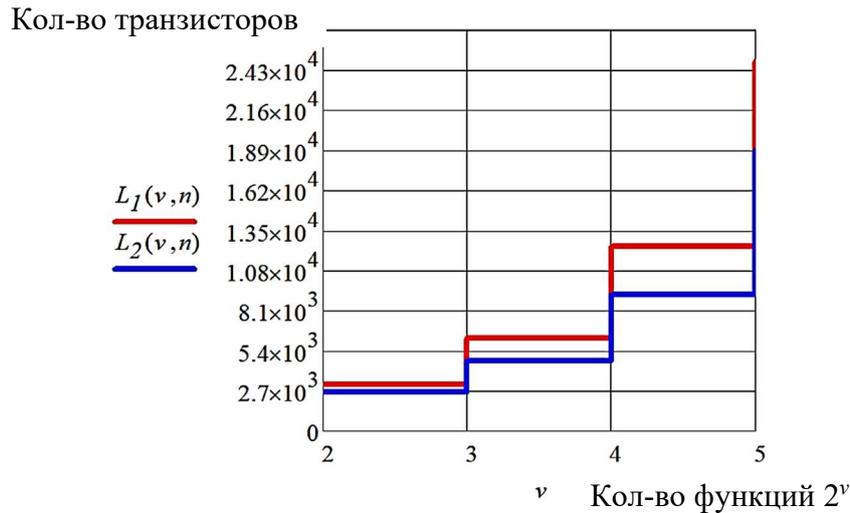


Рисунок 8 – Сравнение сложности многофункционального логического элемента (L_2) с 2^v известных логических элементов (L_1)

Сравнение сложности в количестве транзисторов известных элементов LUT_0 (L_0), LUT_{0DC} (L_{0DC}) и предлагаемого LUT_{DC} (L_{DC}), реализующего дешифрацию набора переменных одновременно с вычислением основной функции при $n = 4, 5, 6$ представлено на рисунке 9.

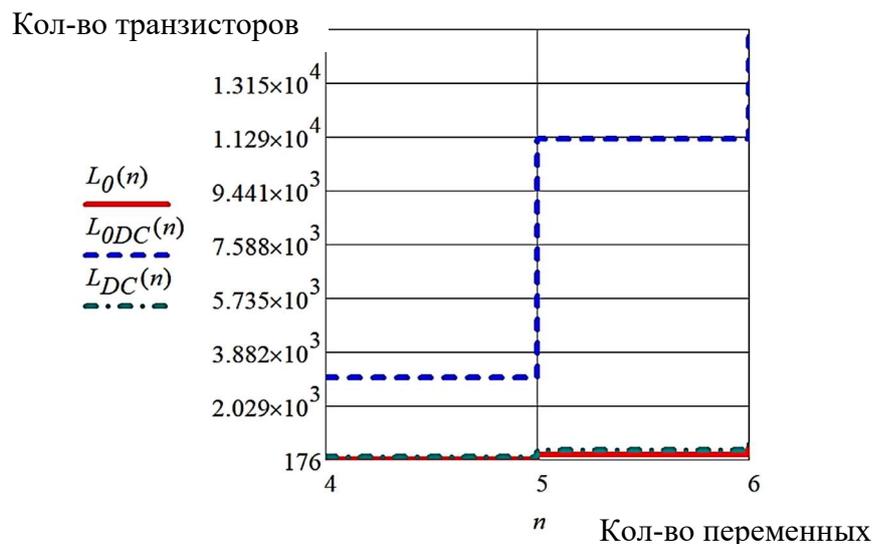


Рисунок 9 – Сравнение сложности известных LUT_0 (L_0), LUT_{0DC} (L_{0DC}) и предлагаемого LUT_{DC} (L_{DC}) при $n = 4, 5, 6$

Предлагаемый элемент LUT_{DC} , реализующий $2^n + 1$ функцию выигрывает, уступая одному LUT_0 , реализующему одну функцию.

Для выбора предпочтительных по выражениям (2), (3) вариантов блоков логических элементов, включающих и предлагаемые многофункциональные элементы, выполняется оптимизация по Парето. При этом задается значение количества переменных n и количества g функций в блоке из нескольких логических элементов. Множество несравнимых вариантов (множество Парето) строится по соответствующим n и g параметрам количества транзисторов (L), площади кристалла (S), временной задержке (T) и потребляемой мощности (W), которые получены в системе топологического моделирования в Microwind. Для многофункционального элемента (2.5) при заданных некоторых других значениях g строятся таблицы возможных вариантов, по которым определяются Парето – оптимальные. Далее по этому множеству выполняется оптимизация с заданными ограничениями. Оцениваются комбинации известных и предлагаемого многофункционального элемента на 2^v функций, например, ЛЭ на одну ($v=0$, известный элемент), две ($v=1$), четыре ($v=2$) и так далее.

Пример множества Парето при $n=5$, $g=12$ приведен на рисунке 10 (а). Сравнение показателей предложенного элемента, обеспечивающего одновременное вычисление логической функции и дешифрацию набора переменных без использования неактивной части дерева транзисторов с показателями эквивалентного количества известных элементов LUT и предложенных многофункциональных элементов при $n=2$, показано на рисунке 10 (б).

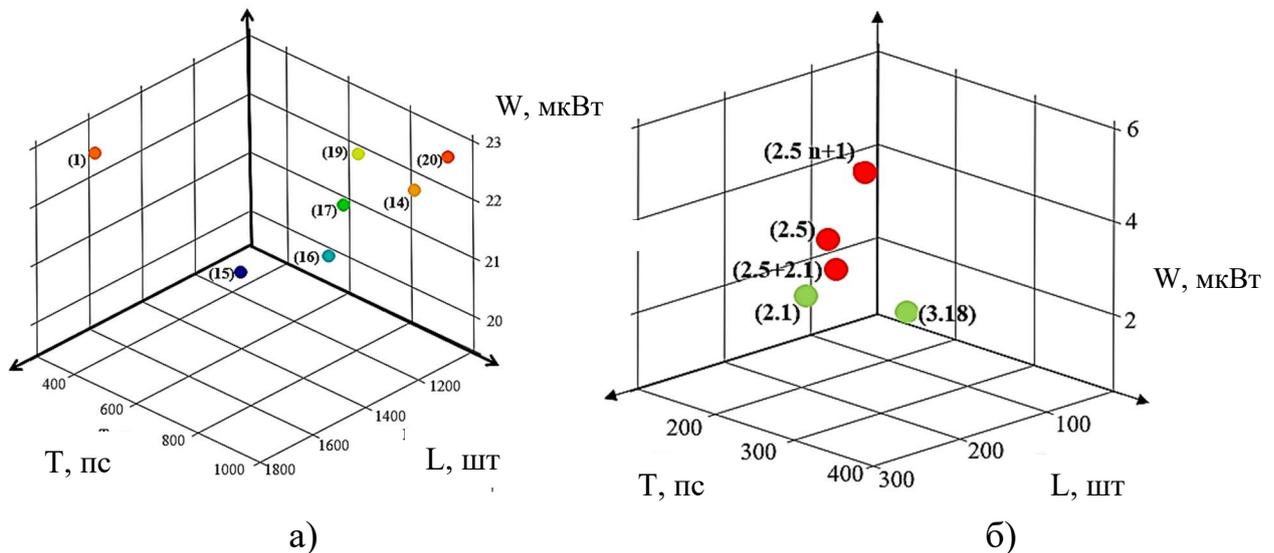


Рисунок 10 – Сравнение по показателям L, W, T а) множество Парето блока, при $g=12$, $n=5$; б) блоков элементов, обеспечивающих одновременное вычисление логической функции и дешифрацию набора переменных: элемент 3.18 (для $n=2$) – без использования неактивной части дерева транзисторов, 2.1 – девять известных элементов LUT; 2.5n+1 – один многофункциональный элемент на 3 переменных; 2.5 – два многофункциональных элемента на 2 переменных; 2.5+2.1 – один многофункциональный на три переменные и один известный LUT (множество Парето выделено зеленым)

Далее по этому множеству (рисунок 10 а) выполняется оптимизация с заданными ограничениями, например, минимизация задержки при не превышении площади кристалла, либо минимизация количества транзисторов (с целью повышения вероятности безотказной работы) при не превышении заданной временной задержки.

Во множество Парето (рисунок 10 б) при $n=2$ и $n=3$ входят известные элементы LUT (2.1) и предлагаемый элемент LUT–DC (3.18), выполняющий дешифрацию входного набора без использования неактивной части дерева транзисторов. Многофункциональные элементы (2.5, 2.5 $n+1$, 2.5+2.1) при реализации дешифрации переменных существенно проигрывают по всем характеристикам.

В приложениях представлены: результаты моделирования в системах Multisim, Microwind, Cadence Virtuoso, топологии логических элементов, листинг двух программ для ЭВМ: программа для подключения дополнительных транзисторов в многофункциональном логическом элементе ПЛИС «МФЛУТ» и программа соединения блоков функции–дешифрации на одну переменную по уровням дерева транзисторов элемента LUT «ДШФЛУТ», документы, подтверждающие внедрение результатов диссертационной работы.

ЗАКЛЮЧЕНИЕ

Представленная диссертационная работа посвящена решению актуальной научной задачи разработки моделей и методов синтеза логических элементов LUT ПЛИС FPGA, многофункциональных логических элементов: логических элементов, реализующих несколько функций при одной конфигурационной настройке; логических элементов выполняющих дешифрацию входного набора переменных и реализацию основной функции. В диссертационной работе поставлены и решены следующие задачи исследования:

- 1) в процессе анализа моделей, методов и алгоритмов синтеза логических элементов ПЛИС, выявлены особенности и недостатки известных логических элементов. Выбраны направления диссертационного исследования;
- 2) разработаны модели, реализующие вычисление нескольких функций одновременно и дешифрацию набора переменных вместе с вычислением основной функции, позволяющие получить выигрыш по количеству транзисторов и площади кристалла по сравнению с соответствующим количеством известных логических элементов LUT;
- 3) разработан метод синтеза многофункционального логического элемента, реализующего одновременное вычисление 2^v , $v = 1, 2, 3, \dots, n-1$ логических функций, позволяющий синтезировать требуемый многофункциональный логический элемент;
- 4) разработан метод синтеза логического элемента, реализующего вычисление основной логической функции одновременно с дешифрацией набора переменных, позволяющий синтезировать логический элемент, реализующий дешифрацию набора переменных одновременно с вычислением основной функции;

5) разработаны алгоритмы подключения дополнительных транзисторов в логических элементах LUT, реализующих вычисление нескольких функций одновременно и дешифрацию набора переменных вместе с вычислением основной функции, позволяющие создать структуру заданного многофункционального логического элемента с заданным количеством входов переменных и необходимым количеством функций;

6) получены оценки сложности по показателям количества транзисторов, площади, занимаемой на кристалле, потребляемой мощности и временной задержке предлагаемых логических элементов LUT, которые используются при синтезе функциональных и принципиальных электрических схем и топологий логических элементов с заданными параметрами;

7) выполнена апробация и внедрение разработанных моделей, методов и алгоритмов синтеза предлагаемых логических элементов, реализующих вычисление нескольких функций одновременно и дешифрацию набора переменных вместе с вычислением основной функции в НИР ФИЦ ИУ РАН. Установлено, что сложность в количестве транзисторов и площади кристалла на реализацию логических функций уменьшены более чем на 15 %. Внедренные результаты готовы к ОКР.

Направление дальнейших исследований целесообразно продолжить в области использования средств моделирования транзисторов, используемых в микросхемах с топологическими нормами менее 10 нм для уточнения показателей разработанных логических элементов.

СПИСОК РАБОТ, ОПУБЛИКОВАННЫХ ПО ТЕМЕ ДИССЕРТАЦИИ

Публикации в ведущих рецензируемых научных изданиях

1. **Советов, С. И.** Метод синтеза логического элемента, реализующего несколько функций одновременно / С. И. Советов, С. Ф. Тюрин. – DOI 10.32362/2500–316X–2023–11–3–46–55 // Russian Technological Journal. – 2023. – 11(3). – С.46–55.

2. Тюрин, С. Ф. Логические элементы ПЛИС FPGA на основе комбинированного кодирования переменных / С. Ф. Тюрин, И. А. Васенин, **С. И. Советов** // Вестник Пермского национального исследовательского политехнического университета. Электротехника, информационные технологии, системы управления. – 2023. – №46. – С.83–107.

3. Тюрин, С. Ф. Логический элемент ПЛИС FPGA, реализующий функцию и дешифрацию набора переменных / С. Ф. Тюрин, **С. И. Советов** // Вестник Пермского национального исследовательского политехнического университета. Электротехника, информационные технологии, системы управления. – 2023. – № 47. – С.5–31.

4. **Советов, С.И.** Разработка топологии многофункционального логического элемента ПЛИС / С. И. Советов // Вестник Пермского национального исследовательского политехнического университета.

Электротехника, информационные технологии, системы управления. – 2023. – № 48. – С.30–49.

5. Новая концепция ПЛИС с выбором режима работы и двухрежимный базисный логический элемент / И. А. Соколов, С. Ф. Тюрин, Ю. А. Степченков, Ю. Г. Дьяченко, М. С. Никитин, **С. И. Советов** // Системы высокой доступности. – 2024. – Т. 20. – № 2. – С. 56–64.

6. Тюрин, С. Ф. Логический элемент программируемых логических интегральных схем FPGA, вычисляющий функцию одновременно с дешифрацией входных переменных / С. Ф. Тюрин, **С. И. Советов** // Вестник Пермского национального исследовательского политехнического университета. Электротехника, информационные технологии, системы управления. – 2024. – № 50. – С.216–234.

Публикации в журналах, индексируемых в международной базе SCOPUS

7. Vasenin, I. A. Advanced Logic Gates for FPGAs / I. A. Vasenin, **S. I. Sovetov**, N. E. Oputin, S. F. Tyurin // International Conference of Young Specialists on Micro/Nanotechnologies and Electron Devices, EDM. – 2023. – P.110–115. DOI 10.1109/EDM58354.2023.10225215.

8. **Sovetov, S. I.** Multi-Function LUT for FPGAs / S. I. Sovetov, S. F. Tyurin // Proceedings of the Seminar on Microelectronics, Dielectrics and Plasmas, Theory and Practical Applications, MDP. – 2023. – P.122–126. DOI 10.1109/MDP60436.2023.10424229.

Свидетельства о государственной регистрации патентов, программ для ЭВМ

9. Патент № 2811404 Российская Федерация, МПК G06F 7/57 H03K 19/173. Программируемое логическое устройство : заявл. 02.08.2023 : опубл. 11.01.2024 / С. Ф. Тюрин, И. А. Васенин, Ю. А. Степченков, Ю. Г. Дьяченко, **С. И. Советов**.

10. Тюрин, С. Ф. Программа для подключения дополнительных транзисторов в многофункциональном логическом элементе ПЛИС «МФЛУТ» / С. Ф. Тюрин, **С. И. Советов** // Свидетельство о регистрации программы для ЭВМ № 2024616246. – 19.03.2024. – Заявка № 2024615319 от 19.03.2024.

11. Патент № 2637462 Российская Федерация, МПК G11C 17/00 (2006.01). Программируемое логическое устройство : № 2016131738 : заявл. 27.10.2023 : опубл. 06.05.2024 / С. Ф. Тюрин, Ю. Г. Дьяченко, **С. И. Советов**, Ю. А. Степченков.

12. Тюрин, С. Ф. Программа соединения блоков функции–дешифрации на одну переменную по уровням дерева транзисторов элемента LUT «ДШФЛУТ» / С. Ф. Тюрин, **С. И. Советов** // Свидетельство о регистрации программы для ЭВМ № 2024663917. – 14.06.2024. – Заявка № 2024663917 от 14.06.2024.

13. Патент № 2826302 Российская Федерация, МПК G11C 17/00 (2006.01). Программируемое логическое устройство : № 2023127768 : заявл.

27.10.2023 : опубл. 09.09.2024 / С. Ф. Тюрин, Ю.А. Васенин, Ю. А. Степченков, Ю. Г Дьяченко, **С. И. Советов**.

Прочие публикации

14. **Советов, С. И.** Алгоритм подключения дополнительных транзисторов в схеме логического элемента ПЛИС / С. И. Советов, С. Ф. Тюрин // Инновационные технологии: теория, инструменты, практика. – 2022. – Т. 1. – С. 51–58.

15. **Советов, С. И.** Топологическое моделирование многофункционального LUT FPGA / С. И. Советов, С. Ф. Тюрин // Автоматизированные системы управления и информационные технологии. – 2023. – Т. 1. – С.322–326.

16. **Советов, С. И.** Разработка топологии логического элемента программируемых логических интегральных схем с дешифрацией набора переменных / С. И. Советов, С. Ф. Тюрин // Инновационные технологии: теория, инструменты, практика. – 2024. – Т. 1. – С. 51–58.