

На правах рукописи

СКОРНЯКОВА АЛЕКСАНДРА ЮРЬЕВНА

**КОНФИГУРИРУЕМЫЕ ЛОГИЧЕСКИЕ ЭЛЕМЕНТЫ
ДЛЯ САМОСИНХРОННЫХ СХЕМ**

**05.13.05 – Элементы и устройства вычислительной техники
и систем управления**

**АВТОРЕФЕРАТ
диссертации на соискание ученой степени
кандидата технических наук**

Пермь – 2020

Работа выполнена в федеральном государственном бюджетном образовательном учреждении высшего образования «Пермский национальный исследовательский политехнический университет».

Научный руководитель – **ТЮРИН Сергей Феофентович**,
доктор технических наук, профессор

Официальные оппоненты – **Башкиров Алексей Викторович**,
доктор технических наук, доцент, заведующий
кафедрой «Конструирование и производство
радиоаппаратуры» федерального
государственного бюджетного образовательного
учреждения высшего образования «Воронежский
государственный технический университет»

МЕЛЬЦОВ Василий Юрьевич,
кандидат технических наук, доцент, доцент
кафедры «Электронные вычислительные
машины», федерального государственного
бюджетного образовательного учреждения
высшего образования «Вятский государственный
университет»

Ведущее предприятие – федеральное государственное автономное
образовательное учреждение высшего
образования «Санкт-Петербургский
государственный электротехнический
университет «ЛЭТИ» им. В.И. Ульянова
(Ленина)» (г. Санкт-Петербург)

Защита состоится «18» декабря 2020 г. в 16.00 часов на заседании диссертационного совета Пермского национального исследовательского политехнического университета Д ПНИПУ.05.04, по адресу: 614990, г. Пермь, Комсомольский проспект, д. 29, ауд. 345.

С диссертацией можно ознакомиться в библиотеке и на сайте федерального государственного бюджетного образовательного учреждения высшего образования «Пермский национальный исследовательский политехнический университет» (<http://pstu.ru>).

Автореферат разослан «21» октября 2020 г.

Ученый секретарь
диссертационного совета Д ПНИПУ.05.04,
доктор технических наук, доцент

В. И. Фрейман

ОБЩАЯ ХАРАКТЕРИСТИКА РАБОТЫ

Актуальность темы исследования. Сегодня, несмотря на определенные трудности, продолжает активно развиваться самосинхронная (СС) схемотехника, в том числе и для проектирования энергоэффективной, «зеленой» логики (Green Computing), а также для систем высокой надежности, работающих в широком диапазоне температур. Однако существующие методы ориентированы в основном на заказную (ASIC, например, конвейерный сопроцессор для микропроцессоров 1890BM8Я и 1890BM9Я) и полузаказную реализацию базовых матричных кристаллов (БМК или ULA, например, библиотека самосинхронных элементов для БМК серии 5503/5507). Имеется тенденция совмещения СС схемотехники и программируемой логики, но строго самосинхронные программируемых логических интегральных схем (ПЛИС) до настоящего времени не созданы. Это усложняет проектирование и сдерживает масштабы использования самосинхронных схем (ССС) по сравнению с синхронной программируемой логикой. В нанoeлектронике, где начинают влиять квантовые эффекты и возникают сложности с глобальной синхронизацией блоков, ССС могли бы стать одной из альтернатив для развития перспективных квантовых вычислений. Таким образом, актуальным является проведение исследований в области совмещения самосинхронного подхода и ПЛИС для создания конфигурируемых самосинхронных логических элементов.

Степень разработанности темы исследования. Началом развития самосинхронных схем стала работа Маллера Д.Е. Большой вклад в развитие ССС внесла группа советских ученых под руководством Варшавского В.И. Проблемы проектирования ССС в настоящее время рассматриваются в работах таких авторов как: Махаровский В.Б, Яковлев А., Плеханов Л.П, Степченков Ю.А, Денисов А.Н., Цирлин Б. С., Бобков С.Г., Сурков А.В., J. Brady, A. M. Francis, J. Holmes, J. Di, H. A. Mantooth, K. M. Fant, S. A. Brantd, S. C. Smith и др. Проблемы создания отказоустойчивых ССС рассмотрены в работах Каменских А.Н, Степченкова Ю.А, Тюрина С.Ф и др.

Объектом исследования являются самосинхронные схемы и ПЛИС.

Предметом исследования являются методы синтеза конфигурируемых логических элементов в ССС.

Целью диссертационного исследования является решение научно-технической задачи разработки методов синтеза конфигурируемых логических элементов для ССС.

Задачи исследования:

1. Разработать метод реализации конфигурируемого самосинхронного генератора логических функций на основе стандартных логических КМОП элементов (ЛЭ);

2. Разработать метод реализации конфигурируемого самосинхронного генератора логических функций на основе Look Up Table (LUT), используемого в ПЛИС;

3. Разработать метод реализации конфигурируемого самосинхронного генератора систем логических функций, заданных в СДНФ, на основе дешифратора DC LUT и блоков дизъюнкций;

4. Разработать метод реализации конфигурируемого самосинхронного генератора систем логических функций, заданных в ДНФ, на основе блоков конъюнкций и дизъюнкций;

5. Получить оценки сложности в количестве транзисторов, площади, задержки, потребляемой мощности для реализации систем логических функций на основе разработанных логических элементов;

6. Разработать алгоритм выбора оптимального набора конфигурируемых логических элементов для реализации типовых систем логических функций.

Под конфигурированием в данной работе подразумевается настройка элемента константами или записью значений в ячейки памяти SRAM.

В диссертационном исследовании используются **методы и средства** схемотехнического моделирования, топологического моделирования, анализа и синтеза схем, описание и анализ моделей Маллера. Применяемые методы и средства основаны на положениях дискретной математики, теории булевых функций и автоматов, комбинаторики, теории надежности, принципах КМОП схемотехники, программирования.

Научная новизна диссертационного исследования заключается следующем:

1. Разработан новый метод реализации конфигурируемого самосинхронного генератора функций (ГФ) на основе библиотечного базиса 2И-2ИЛИ-НЕ, отличающийся тем, что он адаптирован к условиям работы в ССС. Для этого применяется парафазная дисциплина кодирования сигнала и используется фаза спейсера, причем для согласованности работы блоков схемы при количестве переменных $n > 1$ спейсер каждого слоя блоков изменяется;

2. Разработан новый метод реализации конфигурируемого самосинхронного генератора логических функций в ССС по принципу LUT (Look Up Table), используемому в программируемых логических интегральных схемах (ПЛИС типа FPGA), отличающийся тем, что используется дополнительная ветвь дерева передающих транзисторов, активируемая в фазе спейсера, а двойственный канал универсального логического элемента настраивается инверсными константами;

3. Разработан новый метод реализации конфигурируемого самосинхронного генератора систем логических функций в СДНФ на основе DC LUT FPGA и блока дизъюнкций, отличающийся тем, что он адаптирован к работе в ССС;

4. Разработан новый метод реализации конфигурируемого самосинхронного генератора систем логических функций в ДНФ на основе блоков конъюнкций и дизъюнкций, отличающийся тем, что он адаптирован к работе в ССС;

5. Разработан алгоритм выбора оптимального набора конфигурируемых логических элементов для реализации типовых систем логических функций, отличающийся тем, что он реализует многокритериальную оптимизацию путем нахождения Парето-оптимальных вариантов.

Основные положения, выносимые на защиту.

1. Существующие методы синтеза ССС ориентированы в основном на заказную (ASIC) и полужаказную реализацию (БМК или ULA). Известные примеры

использования асинхронного подхода в ПЛИС (FPGA) не являются строго самосинхронными. Все это сдерживает развитие цифровых технологий в области нанoeлектроники и квантовых вычислений (п.2 паспорта научной специальности).

2. Предлагаемые новые методы синтеза конфигурируемых логических элементов для самосинхронных ПЛИС, разработанные элементы для реализации логических функций в СДНФ и в ДНФ, проведенное схемотехническое, топологическое моделирование и проверка полумодулярности с использованием модели Маллера подтверждают возможность совмещения строго самосинхронной обработки информации и ПЛИС на уровне логического элемента (п.3 паспорта научной специальности).

3. Полученные оценки сложности, площади кристалла, потребляемой мощности и задержки позволяют с использованием предложенного алгоритма получить оптимальные наборы конфигурируемых логических элементов для ССС и заданных систем логических функций и рекомендуются при разработке самосинхронных ПЛИС (п.2 паспорта научной специальности).

4. Для реализации систем логических функций, зависящих от одних и тех же аргументов при среднем числе входных переменных, целесообразно применение предлагаемого элемента DC LUT ST. Наибольший эффект достигается при реализации системы функций унитарного декодирования набора переменных. При большом числе переменных (больше 8) в связи с экспоненциальным ростом сложности элемент LUT ST нереализуем, поэтому рекомендуется элемент ДНФ LUT ST (п.4 паспорта научной специальности).

Достоверность исследования подтверждаются соответствием аналитических выводов и результатов моделирования, полученных в системах схемотехнического и топологического проектирования, проверке в подсистеме TRANAL, а также использованием апробированного математического аппарата булевой алгебры, теории автоматов, теории надежности, схемотехники и программирования. Полученные результаты не противоречат теоретическим и практическим положениям, известным из научных публикаций отечественных и зарубежных исследователей в рассматриваемой предметной области.

Практическая значимость диссертационного исследования заключается в том, что предложенные новые методы реализации конфигурируемых логических элементов для самосинхронных схем используются в разработках элементов Института проблем информатики Федерального исследовательского центра "Информатика и управление" Российской академии наук. Полученные научные и практические результаты используются в учебном процессе кафедры «Автоматика и телемеханика» Пермского национального исследовательского политехнического университета.

Методология и методы исследования. В диссертационном исследовании используются методы и средства схемотехнического моделирования, топологического моделирования, анализа и синтеза схем, описание и анализ моделей Маллера. Применяемые методы и средства основаны на положениях дискретной математики, теории булевых функций и автоматов, комбинаторики, теории надежности, принципах КМОП схемотехники, программирования.

Апробация работы. Основные теоретические и практические результаты работы докладывались на научно-технических конференциях: Микроэлектроника и информатика-2015, г. Зеленоград; ЛЭТИ - IEEE North West Russia Section Young Researchers in Electrical and Electronic Engineering Conference, (EIconRusNW-2016, EIconRusNW-2018, EIconRusNW-2020) г. Санкт-Петербург; Элементная база отечественной радиоэлектроники: импортозамещение и применение-2015, г. Нижний Новгород; Авиация и космонавтика – 2015, г. Москва; всероссийская школа-конференция молодых ученых «Управление большими системами УБС» (УБС-2017) г. Пермь; международная выставка SEMIEXPO RUSSIA 2017, г. Москва; всероссийская научно-техническая конференция «Автоматизированные системы управления и информационные технологии» (АСУИТ-2020) г. Пермь; Международный форум «Микроэлектроника-2020» г. Ялта и в других международных и региональных конференциях.

Публикации. Основные результаты диссертационной работы опубликованы в 18 научных работах, из них пять статей в изданиях, включенных в перечень ВАК, три в изданиях, индексируемых в Scopus, три патента на изобретение и одно свидетельство о регистрации программы для ЭВМ.

Структура и объем работы. Данная работа состоит из введения, четырех глав, заключения, списка терминов и сокращений, списка использованной литературы, который включает в себя 104 источника, 6 приложений. Основная часть работы изложена на 150 страницах, содержит 102 рисунка и 21 таблицу.

ОСНОВНОЕ СОДЕРЖАНИЕ РАБОТЫ

Во **введении** обоснована актуальность темы диссертации, сформулированы цели и задачи диссертационной работы, раскрыта научная новизна и практическая значимость полученных результатов, сформулированы научные положения, выносимые на защиту.

В **первой главе** выполнено исследование существующих методов синтеза ССС, который показал, что в настоящее время анализ ССС остается труднорешаемой задачей. *Строго самосинхронной схемой* называется схема, диаграмма переходов (диаграмма Маллера) которой полумодулярна, т.е. ее возбужденные переменные не могут стать устойчивыми без изменения своего состояния. Для разработки ССС может применяться парафазное кодирование переменных, функционирование делится на два этапа – рабочая фаза и фаза спейсера. Для фиксации завершения переходных процессов используются индикаторы и Г-триггеры (С-элементы Маллера). Выполнен анализ существующих асинхронных ПЛИС который показал, что данное направление все еще находится на этапе исследований и большинство представленных схем не является строго самосинхронными. Ставятся задачи исследования. Формальная постановка общей задачи исследования формулируется следующим образом: **Дано:** множество неунифицированных (специализированных) комбинационных логических преобразователей, каждое преобразование ψ_i характеризуется числом входных переменных n , количеством логических функций m в системе, количеством систем u , числом конъюнкций w и индексом s использования этого логического преобразователя. **Получить:** множество $E = \{\varepsilon_1, \varepsilon_2, \dots, \varepsilon_u\}$ методов унифицированной самосинхронной реализации систем логических функций.

Конфигурирование производить либо константами, либо записью значений в ячейки памяти SRAM. Конфигурация связей в данной работе не рассматривается. Каждый из методов характеризуется:

1. Оценкой сложности \mathbf{L} (в количестве необходимых транзисторов):

$$L = \{L_{\tau_1}(n, m), L_{\tau_2}(n, m), \dots, L_{\tau_e}(n, m)\} \quad (1)$$

2. Оценкой быстродействия \mathbf{T} (задержки, измеряемой количеством транзисторов в самом длинном пути со входа схемы на выход):

$$T = \{T_{\tau_1}(n, m), T_{\tau_2}(n, m), \dots, T_{\tau_e}(n, m)\} \quad (2)$$

3. Оценкой площади, занимаемой на кристалле \mathbf{S} :

$$S = \{S_{\tau_1}(n, m), S_{\tau_2}(n, m), \dots, S_{\tau_e}(n, m)\} \quad (3)$$

4. Оценкой потребляемой мощности \mathbf{P} :

$$P = \{P_{\tau_1}(n, m, w), P_{\tau_2}(n, m, w), \dots, P_{\tau_e}(n, m, w)\} \quad (4)$$

При получении оценок необходимо учесть существующие ограничения схемной реализации методов в современных заказных и полужаказных микросхемах. Для подтверждения работоспособности методов выполнить функциональное и топологическое моделирование, а также проверку полумодулярности схемотехнических решений (элементов) $\Omega = \{\omega_1, \omega_2, \dots, \omega_u\}$.

Получить оптимальные наборы \mathbf{H} элементов:

$$H = \{\langle \omega_1(n, m, w), s \rangle, \langle \omega_2(n, m, w), s \rangle, \dots, \langle \omega_u(n, m, w), s \rangle\},$$

такой, что $[L(H) \rightarrow \min] \vee [T(H) \rightarrow \min] \vee [S(H) \rightarrow \min] \vee [P(H) \rightarrow \min]$

Во **второй главе** разрабатываются методы реализации конфигурируемых самосинхронных генераторов логических функций и систем логических функций в ССС и выполняется анализ полумодулярности.

Метод реализации конфигурируемого самосинхронного генератора логических функций на основе стандартных логических КМОП элементов. Суть данного метода заключается в использовании библиотечного элемента 2И-2ИЛИ-НЕ. Предлагается два входа использовать в качестве информационных, а два входа использовать для настройки. Для реализации фазы спейсера предлагается использовать дополнительные внешние блоки, через которые на входы переменных X_j, X_j' будут подаваться значения переменных и сигнала спейсера (Sp). Выражение, описывающее работу прямого канала:

$$Fg_{out.l} = \bigvee_{i=0}^{2^n-1} \left(\big\&_{j=1}^{2n} X_j^{\sigma(i,j)} \cdot Sp \cdot D_i \right), l = 1, m \quad (5)$$

где $Fg_{out.l}$ – выход элемента 2И-2ИЛИ-НЕ, l -ая логическая функция, $\sigma(i, j)$ – показатель инверсирования парафазной переменной X_j , $\sigma(i, j)=1$ для X_j ; $\sigma(i, j)=0$ для X_j' ; D_i – настройка логической функции по одному из 2^n входов, Sp – спейсер.

Для реализации двойственного канала предлагается использовать инверсную настройку, тогда выражение, описывающее работу:

$$Fg'_{out.l} = \bigvee_{i=0}^{2^n-1} \left(\big\&_{j=1}^{2n} X_j^{\sigma(i,j)} \cdot Sp \cdot D_i' \right), l = 1, m \quad (6)$$

В выражении (6) и далее апострофом обозначены и парафазная переменная, и инверсия. Предложенная модель логического элемента генератора функций для одной переменной ($n=1$) показана на рисунке 1. Блоки 2И №1 и 2И №2 реализуют блоки входного набора, элемент 2И-2ИЛИ-НЕ №1 реализует прямой канал, а

элемент 2И-2ИЛИ-НЕ №2 реализует двойственный канал. Остальные элементы используются в качестве индикаторов, а Г-триггер используется для фиксирования окончания переходных процессов в схеме. Для организации самосинхронизации используется обратная связь, не показанная на рисунке 1, с выхода G(t+1) Г-триггера на вход Sp блоков 2И №1 и 2И №2.

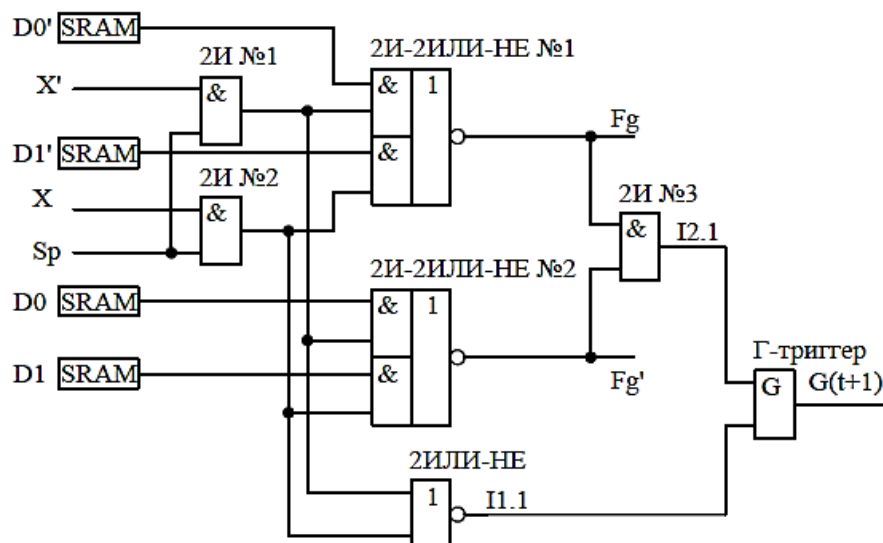


Рисунок 1 – Модель генератора функций (ГФ) одной переменной с разомкнутой обратной связью.

При построении элементов для $n > 1$ предлагается использовать каскадирование ГФ на одну переменную, при этом необходимо учитывать настройку основного канала таким образом, что при четном числе каскадов инверсия настройки не требуется, при нечетном требуется.

Метод реализации конфигурируемого самосинхронного генератора логических функций на основе Look Up Table. Суть данного метода заключается в модификации дерева передающих транзисторов LUT. Для адаптации известного LUT к условиям работы в ССС предлагается ввести дополнительную ветвь передающих транзисторов, которая будет активироваться только в фазе спейсера. Выражение, описывающее работу прямого канала элемента:

$$F_{out.l.st} = \bigvee_{i=0}^{2^n-1} \left(\bigwedge_{j=1}^{2n} X_j^{\sigma(i,j)} \cdot D_i \right) \vee \left(\bigwedge_{j=1}^n X_j X'_j \right)', \quad l = 1, m \quad (7)$$

где $\bigwedge_{j=1}^n X_j X'_j$ - цепочка реализации спейсера.

Для реализации двойственного канала требуется инверсия выражения (7). Тогда инверсный канал описывается выражением:

$$F'_{out.l.st} = \bigvee_{i=0}^{2^n-1} \left(\bigwedge_{j=1}^{2n} X_j^{\sigma(i,j)} \cdot D'_i \right) \vee \left(\bigwedge_{j=1}^n X_j X'_j \right)', \quad l = 1, m \quad (8)$$

Предложена модель логического элемента LUT ST для одной переменной ($n=1$), показанная на рисунке 2. Блоки 2И №1 и 2И №2 реализуют блоки входного набора, дерево передающих транзисторов VT1-VT2 и VT5-VT6 реализуют прямой канал, а дерево транзисторов VT3-VT4 и VT7-VT8 реализуют двойственный канал. Кроме этого транзисторы VT5-VT8 реализуют фазу спейсера. Инверторы на входах и выходах каналов предназначены для восстановления уровня сигналов. Остальные элементы используются в качестве индикаторов. Для организации

самосинхронизации используется обратная связь, не показанная на рисунке 2, с выхода $G(t+1)$ Г-триггера на вход Sp блоков 2И-НЕ №1 и 2И-НЕ №2.

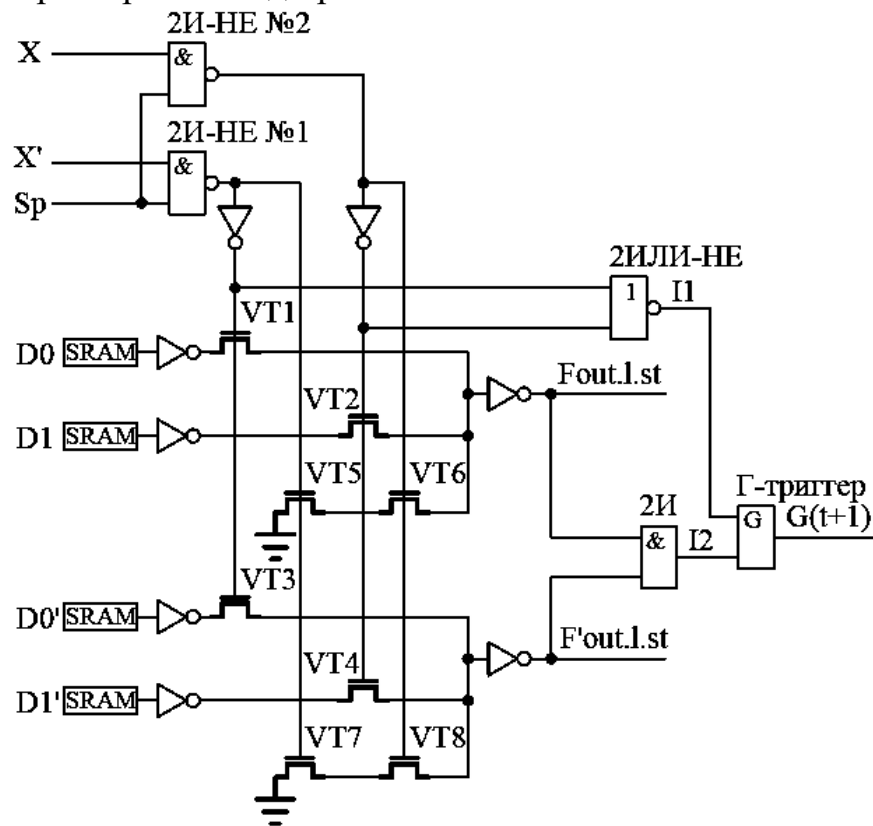


Рисунок 2. – Элемент 1-LUT-ST с разомкнутой обратной связью

Ввиду ограничения Мида-Конвей, при построении элемента для $n > 1$ предлагается использовать каскадирование элемента на одну переменную, при этом необходимо учитывать согласованность каналов. Это достигается путем инвертирования значений выходов каналов с предыдущего каскада.

Метод реализации конфигурируемого самосинхронного генератора систем логических функций, заданных в СДНФ. Сущность метода заключается в модификации реверсивного дерева передающих транзисторов DC LUT. Для адаптации DC LUT к условиям работы в ССС предлагается ввести цепочки спейсера. Тогда выражение, описывающее работу основного канала:

$$F_{out.d.st} = \bigg\&_{j=1}^n \left(X_j^{\sigma(i,j)} \cdot in'_i \vee X_j^{\sigma'(i,j)} \cdot in_i \right) \vee \left(\bigg\&_{\mu=1}^n X_{\mu} X'_{\mu} \right)', i = 0, 2^n - 1 \quad (9)$$

где in – входной сигнал.

Для реализации двойственного канала предлагается выполнить инверсию выражения, описывающего работу прямого канала:

$$F'_{out.d.st} = \bigg\&_{j=1}^n \left(X_j^{\sigma(i,j)} \cdot in_i \vee X_j^{\sigma'(i,j)} \cdot in'_i \right) \vee \left(\bigg\&_{\mu=1}^n X_{\mu} X'_{\mu} \right)', i = 0, 2^n - 1 \quad (10)$$

Предложена модель логического элемента DC LUT ST для одной переменной ($n=1$) показана рисунке 3. Блоки 2И-НЕ №1 и 2И-НЕ №2 – реализуют блоки входного набора, дерево передающих транзисторов VT1-VT2, VT5-VT6 и VT9-VT12 реализуют прямой канал, а дерево транзисторов VT3-VT4, VT5-VT6 и VT13-VT16 реализуют двойственный канал. Кроме этого транзисторы VT9-VT16 реализуют фазу спейсера по каждой из ветви дерева. Инверторы на выходах предназначены для восстановления уровня сигналов. Остальные элементы

используются в качестве индикаторов. Для организации самосинхронизации используется обратная связь, не показанная на рисунке 3, с выхода $G(t+1)$ Г-триггера на вход Sp блоков 2И-НЕ №1 и 2И-НЕ №2.

Для реализации элемента на $n > 1$ предлагается использовать каскадирование элемента на одну переменную. Для согласованности работы каскадов предлагается инвертирование выходов каналов предыдущего каскада и учет подключения транзисторов ортогональности, так чтобы в каскаде со старшей переменной подключения были попарно инверсны подключениям каскада с младшими переменными. Кроме этого во всех каскадах с младшими переменными эти подключения должны быть одинаковыми.

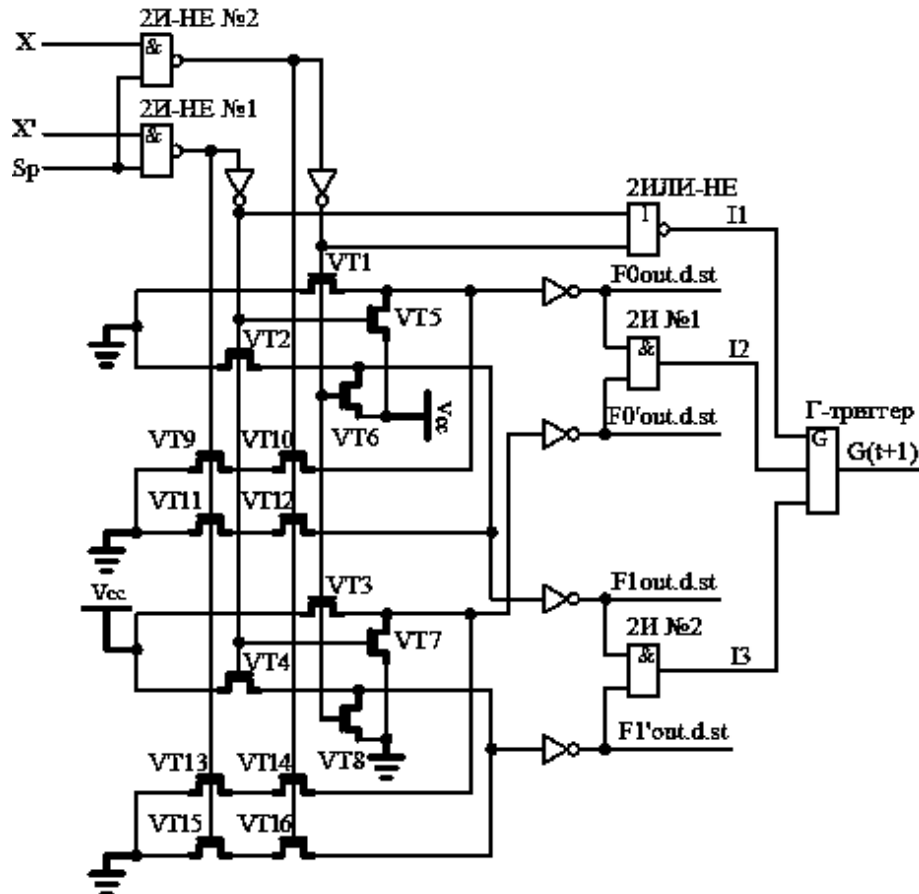


Рисунок 3. – Элемент 1DC LUT-ST с разомкнутой обратной связью

Для реализации m функций от одинаковых переменных предлагается использовать специальные блоки настройки. Выражения (11) описывают работу блока:

$$\begin{cases} Z = \bigvee_{i=1}^{2^n-1} (F_{out.d.st} \vee D_i \vee Sp) \\ Z' = \bigvee_{i=1}^{2^n-1} (F'_{out.d.st} \cdot D'_i \vee Sp) \end{cases} \quad (11)$$

где D – настройка вхождения конstituент i в данную функцию из m функций системы.

Модель блока настройки функции изображена на рисунке 4. Для реализации прямого канала используются элементы 3ИЛИ №1, 3ИЛИ №2 и элемент 2И-НЕ. для реализации двойственного канала используются элементы 2И-2ИЛИ №1, 2И-2ИЛИ №2 и элемент 2ИЛИ-НЕ №1. Остальные элементы используются для

индицирования схемы. Для организации самосинхронизации используется обратная связь, не показанная на рисунке 4, с выхода $G(t+1)$ Г-триггера на вход S_p инвертора.

Для реализации элемента на число входов $F > 2$ предлагается каскадирование блока настройки на два выхода, причем входов должно быть четное количество.

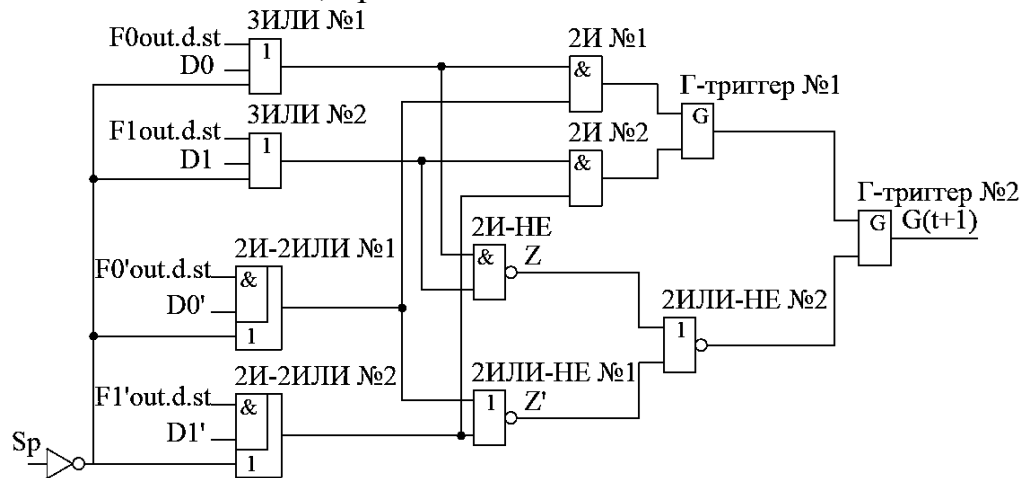


Рисунок 4 – Блок дизъюнкции настройки функции

Метод реализации конфигурируемого самосинхронного генератора систем логических функций, заданных в ДНФ. Суть метода заключается в модифицировании блока конъюнкций ДНФ-LUT. Для адаптации исходного блока к условиям работы в ССС предлагается ввести цепочку спейсера. Реализовать двойственный канал предлагается путем подключения входа $in(i)$ к шине нуля, а истоки транзисторов ортогональности к шине питания. Выражения, описывающие работу каналов:

$$\begin{cases} out(i) = \bigwedge_{i=1}^n [in(i) \cdot [(Di \vee Ground \cdot \overline{Di}) \cdot Xi \vee (Di' \vee Ground \cdot \overline{Di}')] \cdot Xi'] \vee (Xi \cdot Xi')] \\ out'(i) = \bigwedge_{i=1}^n [in'(i) \cdot [(Di \vee Vcc \cdot \overline{Di}) \cdot Xi \vee (Di' \vee Vcc \cdot \overline{Di}')] \cdot Xi'] \vee (Xi \cdot Xi')] \end{cases} \quad (12)$$

где $out(i)$ – выход прямого канала i -го блока, $out'(i)$ – выход двойственного канала i -го блока, Di, Di' – настройка SRAM.

Модель логического элемента ДНФ LUT ST для одной переменной ($n=1$) показана на рисунке 5. Элементы 2И-НЕ №1 и 2И-НЕ №2 реализуют блоки входного набора, дерево передающих транзисторов VT1-VT4, VT9-VT10 и VT13-VT14 реализуют прямой канал. Для реализации двойственного канала используются транзисторы VT5-VT8, VT11-VT12 и VT15-VT16. Кроме этого транзисторы VT13-VT16 реализуют цепочки спейсеров. Инверторы на выходах предназначены для восстановления уровня сигналов. Остальные элементы используются в качестве индикаторов. Для организации самосинхронизации используется обратная связь с выхода $G(t+1)$ Г-триггера на вход S_p блоков 2И-НЕ №1 и 2И-НЕ №2.

При построении блока конъюнкций двух и более разрядов предлагается использовать каскадирование блока конъюнкций одного разряда.

Для реализации m функций так же, как и в предыдущем методе, предлагается использовать специальные блоки настройки, показанные на рисунке 4.

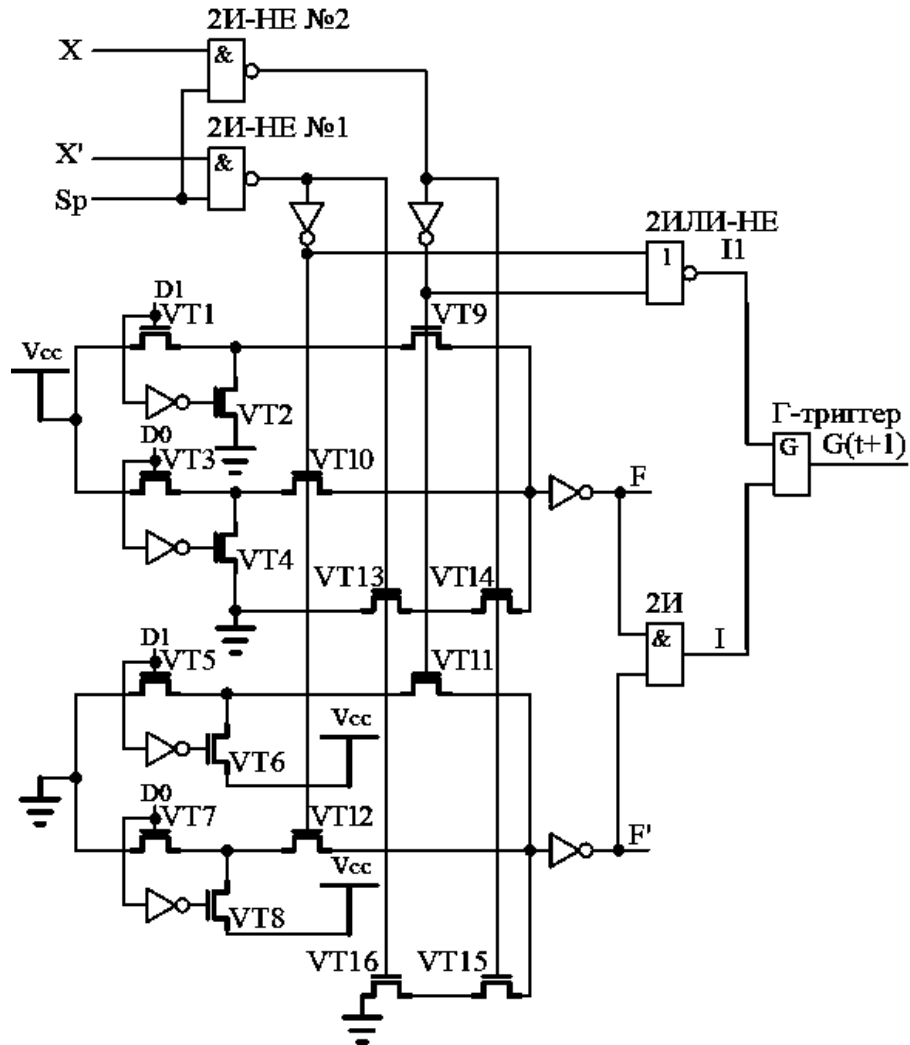


Рисунок 5. – Модель ССС блока конъюнкций одного разряда

Анализ полумодулярности предложенных методов. Выполнен анализ полумодулярности в САПР «Forcage», подсистема «Tranal». Анализ подтвердил строгую самосинхронность устройств, разработанных по предложенным методам. Пример анализа элемента 2DC-LUT-ST показан на рисунке 6.

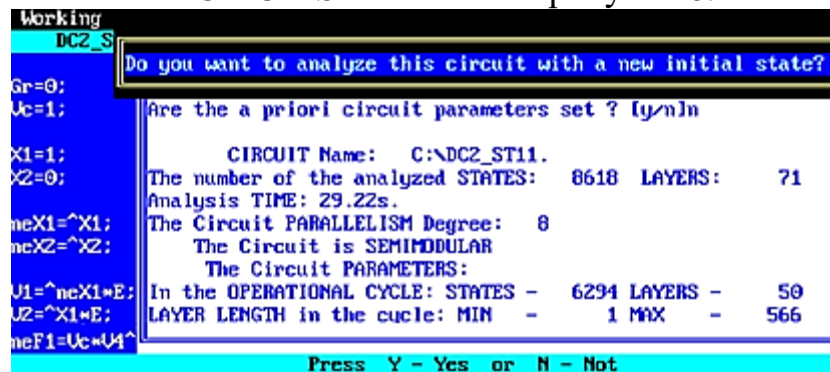


Рисунок 6 – Результат анализа полумодулярности

В **третьей** главе выполняется моделирование разработанных методов в системах схемотехнического моделирования «Ковчег» и NI Multisim. И топологическое проектирования в САПР «Microwind». Результат моделирования генератора функций (рисунок 1) в САПР «Ковчег» представлен на рисунке 7. Рабочие фазы {10} и {01} разделены фазой спейсера, при которой $F=F'=0$. Выход G-триггера в фазе спейсера равен 1, а в рабочей фазе 0. Реализация функции

«исключающее ИЛИ» настройка $S0=0, S1=1, S2=1, S3=0$ выполняется верно, например, при $X1=1$ и $X2=0$ $F=1$, а при $X1=1$ и $X2=1$ $F=0$, логика работы ССС соблюдается, поэтому полученные диаграммы подтверждают работоспособность предложенного элемента.

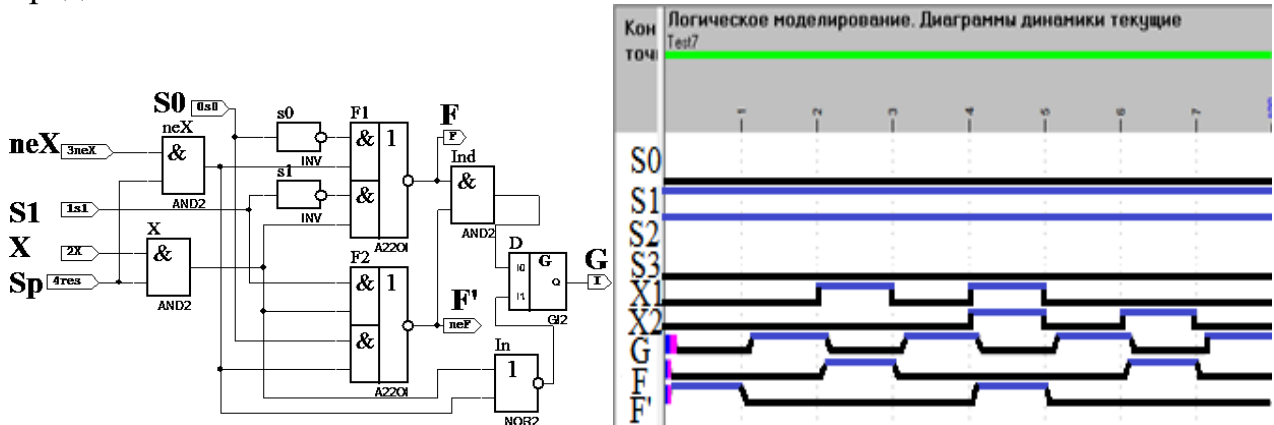


Рисунок 7 – Результат моделирования ГФ САПР «Ковчег»:

а) ГФ одной переменной;

б) результат моделирования функции «исключающее ИЛИ»

Результат моделирования элемента LUT ST (модель показана на рисунке 2) двух переменных в NI Multisim показан на рисунке 8. Транзисторы Q3-Q4, показанные на рисунке 8а, реализуют цепочку спейсера, остальные транзисторы реализуют известный LUT. Входы S0-S1 предназначены для настройки (конфигурирования), входы neXn, Xn – информационные n входы. Входы XnSp и neXnSp предназначены для реализации фазы спейсера. Вход G_V_Sp предназначен для подключения цепочки спейсера к шине нуля.

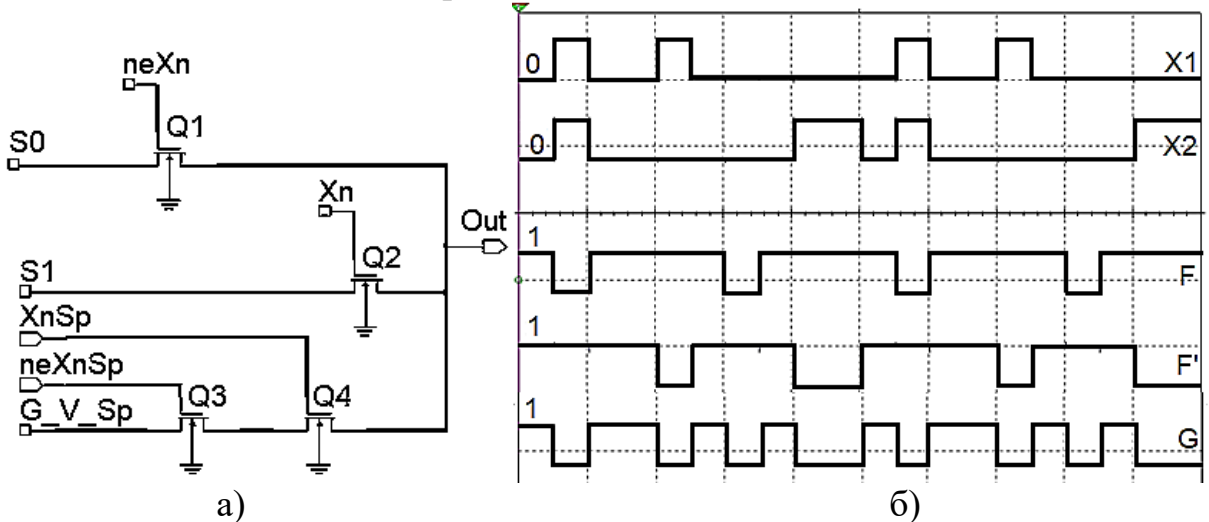


Рисунок 8 – Результат моделирования LUT ST двух переменных в NI Multisim:

а) блок для реализации каналов;

б) результат моделирования функции «исключающее ИЛИ»

На рисунке 8б результат представлен с чередованием рабочей и спейсерной фаз. Рабочие фазы {10} и {01} разделены фазой спейсера, при которой $F=F'=1$. Выход G-триггера (общего индикатора схемы) в фазе спейсера равен 1, а в рабочей фазе 0. Реализация функции «исключающее ИЛИ» выполняется верно, например, при $X1=0$ и $X2=1$ $F=1$, а при $X1=0$ и $X2=0$ $F=0$, логика работы ССС соблюдается,

поэтому полученные диаграммы подтверждают работоспособность предложенного элемента.

Результаты моделирования элементов DC LUT ST (рисунок 3) и ДНФ LUT ST (рисунок 5) одной переменной в MircoWind.

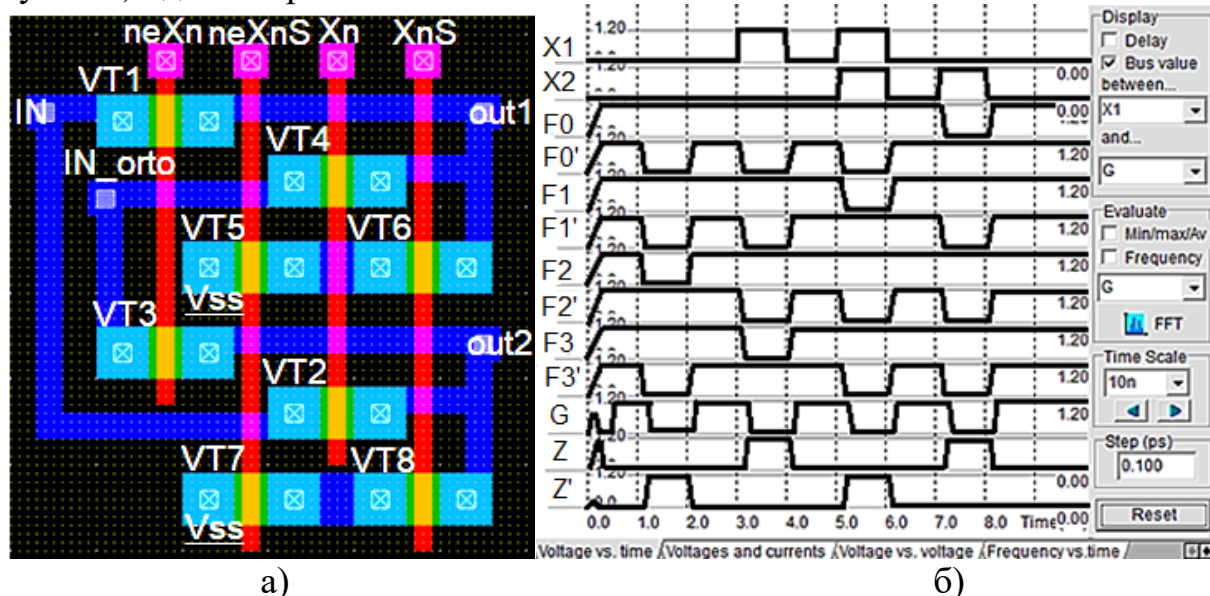


Рисунок 9 – Результат топологического моделирования элемента DC LUT-ST двух переменных: а) блок для реализации каналов; б) результат моделирования функции «исключающее ИЛИ»

На рисунке 9а транзисторы VT5- VT8 реализуют цепочки спейсера по каждой ветви реверса дерева, остальные транзисторы реализуют существующий DC LUT. Вход IN предназначен для подключения предыдущего каскада, а также для подключения к шине земли или шине питания в зависимости от назначения канала – прямой или двойственный. На рисунке 9б представлен результат моделирования DC LUT-ST на 2 переменные с блоком настройки на функцию «исключающее ИЛИ». Каждый из выходов F0-F3 активен только при одном из наборов входных переменных, при чем нет наборов, которые активируют сразу несколько выходов. Реализация функции «исключающее ИЛИ» выполняется верно, например, при $X1=1$ и $X2=0$ $Z=1$, а при $X1=1$ и $X2=1$ $Z=0$, логика работы ССС соблюдается – это подтверждает правильность работы предложенного элемента.

На рисунке 10а транзисторы VT7-VT8 реализуют цепочку спейсера, остальные транзисторы реализуют известный блок конъюнкций. Входы S0-S1 предназначены для настройки (конфигурирования).

Вход IN_orto на рисунке 9а и входы In1, In2 на рисунке 10а предназначены для подключения транзисторов ортогональности к шине земли или шине питания, в зависимости от назначения каналов. Входы peXn, Xn на рисунках 9а и 10а – информационные n входы, входы XnS и peXnS предназначены для реализации фазы спейсера.

На рисунке 10б представлен результат моделирования блока конъюнкций двух разрядов с блоком настройки на функцию «исключающее ИЛИ». Один разряд настроен на конъюнкцию $X2X1'$ – выход F1, другой на $X2'X1$ – выход F2. Если одна из существенных переменных, входящих в конъюнкцию - истина, то на выходах F1, F2 прямого канала логический 0, когда все существенных переменные

ложны, выход устанавливается в 1. Реализация функции «исключающее ИЛИ» выполняется верно, например, при $X1=0$ и $X2=1$ $Z=1$, а при $X1=0$ и $X2=0$ $Z=0$, логика работы ССС соблюдается, что подтверждает правильность работы предложенного элемента.

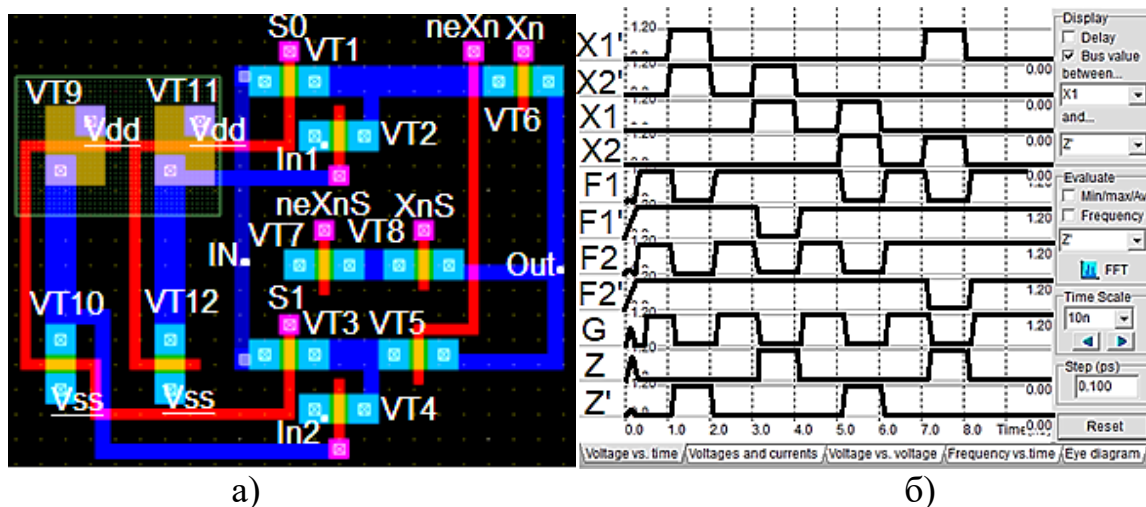


Рисунок 10 – Результат топологического моделирования элемента ДНФ-LUT-ST: а) блок для реализации каналов; б) результат моделирования функции «исключающее ИЛИ»

В четвертой главе выполняется оптимизация набора логических элементов для реализации типовых систем логических функций в ССС на основе полученных оценок сложности, площади, быстродействия и потребляемой мощности по результатам моделирования полученных элементов. Выполнена оценка сложности L в количестве транзисторов для всех элементов и блоков настройки. Выполнена оценка быстродействия T полученных схем при напряжении питания 1,2 В. Выполнена оценка площади S , занимаемой на кристалле элементом, для технологии проектирования транзисторов 90 нм. Выполнена оценка потребляемой мощности P .

На основании полученных оценок разработан алгоритм выбора оптимального комплекта конфигурируемых ССС элементов, который реализует многокритериальную оптимизацию, строя Парето-оптимальное множество. Алгоритм состоит из 5 этапов, каждый из которых выполняет определенную операцию. В первом этапе вводятся требуемые характеристики систем, которые предполагают формирование непустого множества, которое требуется минимизировать. Во втором этапе происходит формирование множества возможных решений. В третьем этапе происходит вычисление минимальных поднаборов и формирование множества Парето. В четвертом этапе происходит вычисление оптимального набора или наборов для заданных параметров систем. В пятом этапе происходит формирование результатов в виде таблиц и графика.

Результат работы алгоритма показан на рисунке 13. На рисунке 13а реализовано небольшое число функций, зависящее от небольшого число переменных, в таких системах выигрывают элементы ГФ и LUT ST. Если в системе большое число переменных и большое число функций (рисунок 13б), выигрывают элементы DC LUT ST и ДНФ LUT ST.

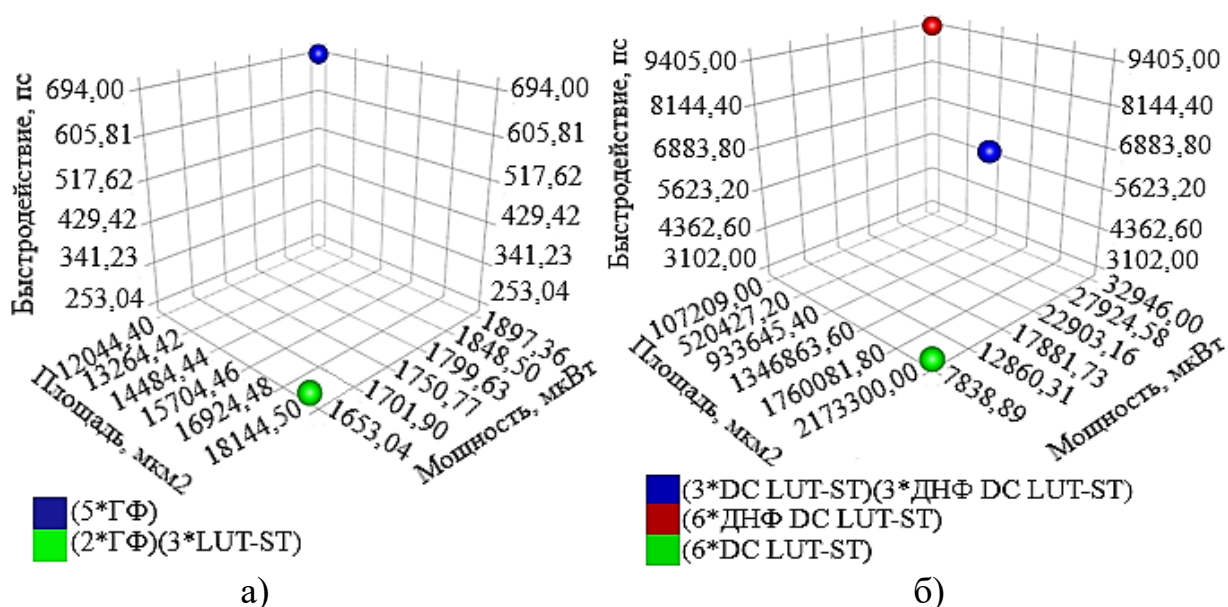


Рисунок 13 – График полученных оптимальных наборов логических элементов:
 а) Характеристики системы: $(n=3, m=1, y=2)$; $(n=4, m=1, y=2)$; $(n=5, m=1, y=1)$;
 б) Характеристики системы: $(n=7, m=5, y=2)$; $(n=6, m=6, y=3)$; $(n=9, m=4, y=1)$
 (n – число входных переменных, m – число функций в системе,
 y – количество систем)

В приложениях представлены: листинг алгоритма оптимизации, акты внедрения, модели Маллера для подсистемы «Tranal», результаты анализа полумодулярности, моделирование элементов в САПР «Ковчег» и тесты для анализа работы схем, топологии элементов, моделирование элементов в САПР «Multisim».

ЗАКЛЮЧЕНИЕ

Выполненная диссертационная работа посвящена решению научно-технической задачи выбора оптимального набора конфигурируемых логических элементов для унифицированной реализации систем логических функций в самосинхронных схемах. В диссертационной работе поставлены и решены следующие задачи исследования:

1. Разработан метод реализации конфигурируемого самосинхронного генератора логических функций на основе библиотечного базиса 2И-2ИЛИ-НЕ, отличающийся тем, что библиотечный элемент адаптирован к условиям работы в ССС. Для этого применяется парафазная дисциплина кодирования сигнала и используется фаза спейсера, причем для согласованности работы блоков схемы при количестве переменных $n > 1$ спейсер каждого слоя блоков изменяется;

2. Разработан метод реализации конфигурируемого самосинхронного генератора логических функций в ССС по принципу LUT (Look Up Table), используемому в программируемых логических интегральных схемах (ПЛИС типа FPGA), отличающийся тем, что используется дополнительная ветвь дерева передающих транзисторов, активируемая в фазе спейсера, а двойственный канал универсального логического элемента настраивается инверсными константами;

3. Разработан метод реализации конфигурируемого самосинхронного генератора систем логических функций, заданных в СДНФ на основе DC LUT FPGA, отличающийся тем, что он адаптирован к работе в ССС;

4. Разработан метод реализации конфигурируемого самосинхронного генератора систем логических функций, заданных в ДНФ на основе блока конъюнкций, отличающийся тем, что он адаптирован к работе в ССС;

5. Получены оценки сложности в количестве транзисторов, площади, задержки реализации логических функций на основе разработанных логических элементов по результатам моделирования;

6. Разработан алгоритм выбора оптимального набора конфигурируемых логических элементов для реализации типовых систем логических функций.

Дальнейшие исследования целесообразны в области самосинхронной реализации матриц коммутации ПЛИС.

СПИСОК ПУБЛИКАЦИЙ ПО ТЕМЕ ДИССЕРТАЦИОННОЙ РАБОТЫ **Публикации в ведущих рецензируемых научных изданиях**

1. Тюрин С.Ф., Скорнякова А.Ю. (Плотникова А.Ю.) Концепция «зеленой» логики / Вестник Пермского национального исследовательского политехнического университета. Электротехника, информационные технологии, системы управления, 2013. – № 8. – С. 61-72.

2. Тюрин С.Ф., Скорнякова А.Ю. Самосинхронный универсальный логический элемент для реализации систем функций / Инженерный вестник Дона, 2017. – № 1.

3. Тюрин С.Ф., Скорнякова А.Ю. Универсальный логический элемент для самосинхронной схемы / Вестник Рязанского государственного радиотехнического университета, 2017. – № 61. – С. 41-45.

4. Скорнякова А.Ю., Тюрин С.Ф. Синтез самосинхронных генераторов логических функций / Вестник Пермского национального исследовательского политехнического университета. Электротехника, информационные технологии, системы управления, 2020. – № 34. – С. 168-185.

5. Иванова К.М., Скорнякова А.Ю. Алгоритм оптимизации комплекта конфигурируемых строго самосинхронных генераторов логических функций для заданных параметров систем функций / Наноиндустрия, 2020. – №S4(99) т.13. – С. 334-336.

Публикации в изданиях, индексируемых в международной базе цитирования Scopus

6. Skornyakova A.Yu (Plotnikova A.Yu.) Fault-Tolerant Self-Timed Indicator / В сборнике: Proceedings of the 2016 IEEE North West Russia Section Young Researchers in Electrical and Electronic Engineering Conference, EIConRusNW 2016, 2016. – P. 308-312.

7. Skornyakova A.Yu. Statement of the Problem of Finding an Optimal Set of Functionally Complete Tolerant Boolean Functions in the Synthesis of Self-Timed Circuits / В сборнике: Proceedings of the 2018 IEEE Conference of Russian Young Researchers in Electrical and Electronic Engineering, EIConRus 2018, 2018. – P. 244-246.

8. Skornyakova A.Yu., Vikhorev R.V. Self-Timed LUT Layout Simulation / В сборнике: Proceedings of the 2020 IEEE Conference of Russian Young Researchers in Electrical and Electronic Engineering, EIConRus 2020, 2020. – P. 176 -179.

Свидетельства о государственной регистрации программ для ЭВМ

9. Программа для ЭВМ № 2017663289 Российская Федерация. Программа оптимизации набора логических элементов модифицированным венгерским методом «ВЕННИТ»: № 2017619911 : заявл. 04.10.2017 : опубл. 28.11.2017 / Тюрин С.Ф., Никитин А.С., Вихорев Р.В., **Скорнякова А.Ю.**, Прохоров А.С. – 1 с. – Текст непосредственный.

Патенты РФ

10. Патент № 2601145 Российская Федерация, МПК G11C 17/00 (2006.01). Программируемое логическое устройство : № 2015117840/08 : заявл. 12.05.2015 : опубл. 27.10.2016 / Тюрин С.Ф., Каменских А.Н., **Скорнякова А.Ю. (Плотникова А.Ю.)**; заявитель ПНИПУ-12 с. : ил. – Текст : непосредственный.

11. Патент № 2653301 Российская Федерация, МПК G06F 7/57 (2006.01). СПК G06F 7/57 (2006.01), G06F 9/3887 (2006.01), G06F 15/8007 (2006.01). Программируемое логическое устройство : № 2017134253: заявл. 02.10.2017 : опубл. 07.05.2018 / Тюрин С.Ф., **Скорнякова А.Ю.**; заявитель ПНИПУ-21 с. : ил. – Текст : непосредственный.

12. Патент № 2653304 Российская Федерация, МПК G06F 7/57 (2006.01), H03K 19/173 (2006.01). СПК G06F 7/57 (2006.01), H03K 19/173 (2006.01), G06F 12/0831 (2006.01) Программируемое логическое устройство : № 2017131825 : заявл. 11.09.2017 : опубл. 07.05.2018 / Тюрин С.Ф., **Скорнякова А.Ю.** заявитель ПНИПУ-20 с. : ил. – Текст : непосредственный.

Публикации в прочих изданиях, в том числе материалы конференций

13. **Скорнякова А.Ю (Плотникова А.Ю.)** Отказоустойчивый самосинхронный индикатор на основе самосинхронного базисного элемента / Авиация и космонавтика – 2015. тез. – Москва, 2015. – С. 196-197.

14. **Скорнякова А.Ю (Плотникова А.Ю.)** Радиационно-стойкий индикатор для самосинхронной схемы / Элементная база отечественной радиоэлектроники: импортозамещение и применение: тр. II рос.-белорус. науч.-техн. конф. им. О. В. Лосева. – Нижний Новгород, 2015. – С. 85-90.

15. Вихорев Р.В., Прохоров А.С., **Скорнякова А.Ю.**, Тюрин С.Ф. Усовершенствованные методы реализации программируемой логики / В сборнике: Управление большими системами. УБС-2017 материалы XIV Всероссийской школы-конференции молодых ученых. – Пермь, 2017. – С. 306-315.

16. Вихорев Р.В., **Скорнякова А.Ю.** Моделирование усовершенствованных устройств программируемой логики / Вестник Пермского университета. Серия: Математика. Механика. Информатика, 2017. – Вып. 3(38). – С. 77-81.

17. Никитин А.С., Вихорев Р.В., **Скорнякова А.Ю.** Оптимизация LUT FPGA на основе модифицированного венгерского метода / Управление большими системами УБС-2017. Материалы XIV Всероссийской школы-конференции молодых ученых. – Пермь, 2017. – С. 563-572.

18. **Скорнякова А.Ю.** Оценка сложности самосинхронных логических элементов FPGA / Вестник Пермского университета. Серия: Математика. Механика. Информатика, 2019. – № 4 (47). – С. 86-89.